

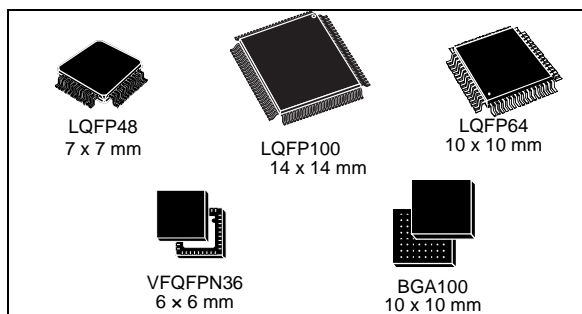


STM32F103x6 STM32F103x8 STM32F103xB

32 ~ 128 KB Flash, USB, CAN, 7 x タイマ, 2 x ADC, 9 x 通信インタフェース内蔵
中容量パフォーマンス・ライン ARM ベース 32bit MCU

特徴

- コア : ARM 32bit Cortex™-M3 CPU
 - 最大動作周波数 72 MHz
 - 0 ウェイト・ステート・メモリ・アクセス時 1.25 DMIPS/MHz (Dhrystone 2.1) 性能
 - 単一サイクル乗算及びハードウェア除算
- メモリ
 - 32 ~ 128 Kbytes までの Flash メモリ
 - 6 ~ 20 Kbytes までの SRAM
- クロック、リセット、電源管理
 - アプリケーションと I/O 用に 2.0 ~ 3.6 V の電源供給
 - POR、PDR、プログラム可能な電圧検出器 (PVD : programmable voltage detector)
 - 4 ~ 16 MHz 水晶発振子
 - 内蔵 8 MHz 工場トリミング済み RC
 - 内蔵 40 kHz RC
 - CPU クロック用 PLL
 - 較正機能付 RTC 用 32 kHz オシレータ
- 低消費電力
 - SLEEP、STOP、STANDBY 各モード
 - RTC 及びバックアップ・レジスタ用 V_{BAT} 供給
- 2 x 12bit、1 μs A/D コンバータ (最大 16 チャンネル)
 - 変換範囲 : 0 ~ 3.6 V
 - デュアルサンプル及びホールド機能
 - 温度センサ
- DMA
 - 7 チャンネル DMA コントローラ
 - ペリフェラルサポート : タイマ、ADC、SPI、I²C、USART
- 最大 80 個の高速 I/O ポート
 - 26/37/51/80 個の I/O、16 個の外部割込み上にすべて配置可能、アナログ入力以外すべて 5V 耐性
- デバッグ・モード
 - シリアル・ワイヤ・デバッグ (SWD:Serial wire debug) 及び JTAG インタフェース



- 最大 7 個のタイマ
 - 最大 3 個の 16bit タイマ、それぞれに最大 4 個の IC/OC/PWM またはパルス・カウンタ
 - 16bit、6 チャンネル高性能制御タイマ : PWM 出力、デッドタイム生成と緊急停止用に最大 6 個のチャンネル
 - 2 個のウォッチドッグ・タイマ (独立型及び Window 型)
 - SysTick タイマ : 24bit ダウン・カウンタ
- 最大 9 個の通信インタフェース
 - 最大 2 個の I²C インタフェース (SMBus/PMBus)
 - 最大 3 個の USART (ISO 7816 インタフェース、LIN、IrDA 対応、モデム制御)
 - 最大 2 個の SPI (18 Mbit/s)
 - CAN インタフェース (2.0B アクティブ)
 - USB 2.0 フルスピード・インタフェース
- CRC 演算ユニット、96bit ユニーク ID
- ECOPACK® パッケージ

表 1. デバイスの種類

リファレンス名	品名
STM32F103x6	STM32F103C6、STM32F103R6、STM32F103T6
STM32F103x8	STM32F103C8、STM32F103R8、STM32F103V8、STM32F103T8
STM32F103xB	STM32F103RB、STM32F103VB、STM32F103CB

目次

1	はじめに	7
2	詳細	7
2.1	デバイスの概要	8
2.2	ファミリとしての完全互換	9
2.3	概要	10
3	ピンの詳細	18
4	メモリ・マッピング	27
5	電気的特性	28
5.1	テスト条件	28
5.1.1	最小値と最大値	28
5.1.2	標準値	28
5.1.3	標準カーブ	28
5.1.4	負荷容量	28
5.1.5	ピン入力電圧	28
5.1.6	電源供給図	29
5.1.7	消費電流測定	30
5.2	絶対最大定格	30
5.3	動作条件	31
5.3.1	一般動作条件	31
5.3.2	パワー・アップ / パワー・ダウン時の動作条件	32
5.3.3	内蔵リセット及び電源制御ブロック特性	32
5.3.4	内部基準電圧	34
5.3.5	供給電流特性	34
5.3.6	外部クロック・ソース特性	43
5.3.7	内部クロック・ソース特性	46
5.3.8	PLL 特性	48
5.3.9	メモリ特性	48
5.3.10	EMC 特性	49
5.3.11	絶対最大定格（電磁感度）	51
5.3.12	I/O ポート特性	52

5.3.13	NRST ピン特性.....	55
5.3.14	TIM タイマ特性.....	56
5.3.15	通信インタフェース.....	57
5.3.16	CAN (controller area network) インタフェース.....	62
5.3.17	12bit ADC 特性.....	63
5.3.18	温度センサ特性.....	67
6	パッケージ特性.....	68
6.1	パッケージ・データ.....	68
6.2	熱特性.....	75
6.2.1	参考ドキュメント.....	75
6.2.2	温度範囲対応製品の選択.....	76
7	注文情報概要.....	78
7.1	ファミリ製品の展開.....	78
8	変更履歴.....	79

表一覧

表 1.	デバイスの種類	1
表 2.	デバイスの特徴とペリフェラル (STM32F10xxx 中容量パフォーマンス・ライン)	8
表 3.	STM32F103xx ファミリ	9
表 4.	ピンの定義	22
表 5.	電圧特性	30
表 6.	電流特性	31
表 7.	熱特性	31
表 8.	一般的な動作条件	31
表 9.	パワー・アップ / パワー・ダウン時の動作条件	32
表 10.	内蔵リセット及び電源制御ブロック特性	33
表 11.	内部基準電圧	34
表 12.	Flash からのデータ・プロセス動作コードによる Run モードでの最大消費電流	35
表 13.	RAM からのデータ・プロセス動作コードによる Run モードでの最大消費電流	35
表 14.	Flash または RAM からのコード動作による SLEEP モードの最大消費電流	37
表 15.	STOP 及び STANDBY モードの標準と最大消費電流	38
表 16.	Flash からのデータ・プロセス動作コードによる Run モードでの標準消費電流	40
表 17.	Flash または RAM からのデータ・プロセス動作コードによる SLEEP モード の標準消費電流	41
表 18.	ペリフェラル消費電流	42
表 19.	高速外部ユーザ・クロック特性	43
表 20.	低速外部ユーザ・クロック特性	43
表 21.	HSE 4 ~ 16 MHz オシレータ特性	45
表 22.	LSE オシレータ特性 ($f_{LSE} = 32.768 \text{ kHz}$)	46
表 23.	HSI オシレータ特性	47
表 24.	LSI オシレータ特性	47
表 25.	低電力モード・ウェークアップ時間	48
表 26.	PLL 特性	48
表 27.	Flash メモリ特性	48
表 28.	Flash メモリの書き換え回数と保持期間	49
表 29.	EMS 特性	50
表 30.	EMI 特性	50
表 31.	ESD 絶対最大定格	51
表 32.	静電気感度	51
表 33.	I/O 静的特性	52
表 34.	出力電圧特性	53
表 35.	I/O AC 特性	54
表 36.	NRST ピン特性	55
表 37.	TIMx 特性	56
表 38.	I ² C 特性	57
表 39.	SCL 周波数 ($f_{PCLK1} = 36 \text{ MHz}$ 、 $V_{DD} = 3.3 \text{ V}$)	58
表 40.	SPI 特性	59
表 41.	USB スタートアップ時間	61
表 42.	USB DC 電気特性	62
表 43.	USB: フルスピード電氣的特性	62
表 44.	ADC 特性	63
表 45.	$f_{ADC} = 14 \text{ MHz}$ についての R_{AIN} 最大値	64
表 46.	ADC 精度 - 限定テスト条件	64
表 47.	ADC 特性	65

参考資料

STM32F103x6, STM32F103x8, STM32F103xB

表一覧

表 48.	TS 特性	67
表 49.	VFQFPN36 6 x 6 mm、0.5 mm ピッチ、パッケージ外形寸法データ	69
表 50.	LFPGA100 – low profile fine pitch ball grid array パッケージ外形寸法データ	70
表 51.	LQFP100 – 100 ピン low-profile quad flat パッケージ外形寸法データ	72
表 52.	LQFP64 – 64 ピン low-profile quad flat パッケージ外形寸法データ	73
表 53.	LQFP48 – 48 ピン low-profile quad flat パッケージ外形寸法データ	74
表 54.	熱特性	75
表 55.	注文コード	78



図一覧

図 1.	STM32F103xx パフォーマンス・ライン ブロック図	16
図 2.	クロック構成図	17
図 3.	STM32F103xx パフォーマンス・ライン BGA100 ボールピン配置	18
図 4.	STM32F103xx パフォーマンス・ライン LQFP100 ピン配置	19
図 5.	STM32F103xx パフォーマンス・ライン LQFP64 ピン配置	20
図 6.	STM32F103xx パフォーマンス・ライン LQFP48 ピン配置	20
図 7.	STM32F103xx パフォーマンス・ライン VFQFPN36 ピン配置	21
図 8.	メモリ・マップ	27
図 9.	ピン負荷条件	29
図 10.	ピン入力電圧	29
図 11.	電源供給図	29
図 12.	消費電流測定図	30
図 13.	Run モードの標準消費電流 対 周波数 (3.6 V 動作時) – RAM からのデータ・プロセス動作コード、ペリフェラルはイネーブル	36
図 14.	Run モードの標準消費電流 対 周波数 (3.6 V 動作時) – RAM からのデータ・プロセス動作コード、ペリフェラルはディセーブル	36
図 15.	V _{DD} = 3.3 V と 3.6V 動作時の Run モードの レギュレータ付 STOP モード標準消費電流 対 温度	38
図 16.	V _{DD} = 3.3 V と 3.6V 動作時の低電力モードの レギュレータ付 STOP モード消費電流 対 温度	39
図 17.	V _{DD} = 3.3 V と 3.6V 動作時の STANDBY モード標準消費電流 対 温度	39
図 18.	高速外部クロック・ソース AC タイミング図	44
図 19.	低速外部クロック・ソース AC タイミング図	44
図 20.	8MHz クリスタルでの標準アプリケーション	45
図 21.	32.768 kHz クリスタルでの標準アプリケーション	46
図 22.	I/O AC 特性の定義	55
図 23.	NRST ピン保護のための推奨条件	56
図 24.	I ² C バス AC 波形と測定回路	58
図 25.	SPI タイミング図 – スレーブ・モードと CPHA = 0	60
図 26.	SPI タイミング図 – スレーブ・モードと CPHA = 1 ⁽¹⁾	60
図 27.	SPI タイミング図 – マスタ・モード ⁽¹⁾	61
図 28.	USB タイミング：データ信号の立上がりと立下り時間の定義	62
図 29.	ADC 精度特性	65
図 30.	ADC を使用する一般的な接続図	66
図 31.	電源供給とデカップリング (V _{REF+} を V _{DDA} への接続なし)	66
図 32.	電源供給とデカップリング (V _{REF+} を V _{DDA} へ接続)	67
図 33.	VFQFPN36 6 x 6 mm、0.5 mm ピッチ、外形寸法 ⁽¹⁾	69
図 34.	推奨フットプリント ⁽¹⁾⁽²⁾⁽³⁾	69
図 35.	LFBGA100 – low profile fine pitch ball grid array パッケージ外形寸法	70
図 36.	推奨 PCB 設計ルール (0.80/0.75 mm ピッチ BGA)	71
図 37.	LQFP100 – 100 ピン low-profile quad flat パッケージ外形寸法	72
図 38.	推奨フットプリント ⁽¹⁾	72
図 39.	LQFP64 – 64 ピン low-profile quad flat パッケージ外形寸法	73
図 40.	推奨フットプリント ⁽¹⁾	73
図 41.	LQFP48 – 48 ピン low-profile quad flat パッケージ外形寸法	74
図 42.	推奨フットプリント ⁽¹⁾	74
図 43.	LQFP100 PD 最大値 対 T _A	77

1 はじめに

このデータシートには STM32F103x6、STM32F103x8、STM32F103xB 中容量パフォーマンス・ラインの マイクロコントローラについての注文情報や外形寸法などが記載されています。ST マイクロエレクトロニクス STM32F103xx ファミリ全体の詳細に関しては [セクション 2.2: ファミリとしての完全互換](#) を参照してください。

中容量 STM32F103xx データシートは、中容量及び大容量 STM32F10xxx リファレンス・マニュアルとともに読み進めてください。
このリファレンスマニュアルと Flash プログラミング・マニュアルは ST マイクロエレクトロニクスのウェブサイト www.st.com から入手することが出来ます。

また、Cortex™-M3 コアについてのさらに詳しい情報については、以下の www.arm.com のウェブサイトから提供されている『Cortex™-M3 テクニカル・リファレンス・マニュアル』を参照してください。

<http://infocenter.arm.com/help/index.jsp?topic=/com.arm.doc.ddi0337e/>

2 詳細


STM32F103x6、STM32F103x8、STM32F103xB パフォーマンス・ラインファミリは 72MHz の周波数で動作する高性能 ARM Cortex™-M3 32bit RISC コアを中心に、高速動作の内蔵メモリ（最大 128 Kbyte の Flash メモリと最大 20Kbyte の SRAM）及び、エンハンスド I/O とペリフェラルが 2 本の APB バスに接続されています。すべてのデバイスには、2 個の 12bit ADC、3 個の汎用 16bit タイマ、1 個の PWM タイマが搭載されています。また、標準通信及び高機能インタフェースとして最大 2 個の I²C 及び SPI、3 個の USART、USB、CAN も搭載しています。

STM32F103xx 中容量パフォーマンス・ライン ファミリは 2.0 ~ 3.6V の電圧範囲で動作します。また、-40 ~ +85 °C の温度範囲と -40 ~ +105 °C の拡張温度範囲の製品があります。電力セーブ・モードを使用することにより、低電力アプリケーションの設計が可能です。

STM32F103xx 中容量パフォーマンス・ライン ファミリには 36 ピン ~ 100 ピンまでの 5 つの異なる種類のパッケージが用意されています。以下の説明は、異なるペリフェラルのセットのデバイスを選択するために、このファミリで提案されているペリフェラルの概要になります。

下記の特徴は STM32F103xx 中容量パフォーマンス・ライン マイクロコントローラ・ファミリが幅広いアプリケーションに対応していること示しています。:

- モータ駆動とアプリケーション制御
- 医療機器、ハンドヘルド機器
- PC 周辺機器、ゲーム機器、GPS プラットフォーム
- 産業機器: PLC、インバータ、プリンタ、スキャナ
- 警報システム、ビデオインターホン、HVAC

 1 はデバイスファミリの標準ブロック図です。

2.1 デバイス概要

表 2. デバイスの特徴とペリフェラル (STM32F10xxx 中容量パフォーマンス・ライン)

ペリフェラル		STM32F103Tx		STM32F103Cx			STM32F103Rx			STM32F103Vx	
Flash – Kbytes		32	64	32	64	128	32	64	128	64	128
SRAM – Kbytes		10	20	10	20	20	10	20		20	
タイマ	汎用	2	3	2	3	3	2	3		3	
	高機能制御	1		1			1			1	
通信	SPI	1	1	1	2	2	1	2		2	
	I ² C	1	1	1	2	2	1	2		2	
	USART	2	2	2	3	3	2	3		3	
	USB	1	1	1	1	1	1	1		1	
	CAN	1	1	1	1	1	1	1		1	
GPIO		26		37			51			80	
12bit 同期型 ADC チャンネル数		2 10 チャンネル		2 10 チャンネル			2 16 チャンネル				
CPU 周波数		72 MHz									
動作電圧		2.0 ～ 3.6 V									
動作温度		周囲温度：-40 ～ +85℃ / -40 ～ +105℃（表 8 を参照） ジャンクション温度：-40 ～ +125℃（表 8 を参照）									
パッケージ		VFQFPN36		LQFP48			LQFP64			LQFP100、 BGA100	



2.2 ファミリとしての完全互換

STM32F103xx は、完全なピン配置、ソフトウェア、機能互換を持つファミリ製品になります。リファレンス・マニュアルでは STM32F103x6、STM32F103x8、STM32F103xB を中容量デバイスと定義し、STM32F103xC、STM32F103xD、STM32F103xE を大容量デバイスとして定義しています。

大容量デバイスは中容量 STM32F103x6/8/B デバイスの拡張版になります。これらのデバイスは STM32F103xC/D/E のデータシートに記載されています。大容量 STM32F103xx デバイスは、より大容量の Flash メモリと RAM を搭載しており、SDIO、FSMC、I²S や DAC などのペリフェラルを搭載しています。また、ファミリ内の他の製品とは完全互換機能を持っています。

STM32F103xC、STM32F103xD、STM32F103xE は、STM32F103x6、STM32F103x8、STM32F103xB のデバイスは、これらのデバイス間で直接置き換えることができます。これによりユーザが製品を開発している間、異なるメモリサイズや機能を効率的に置き換えることができる自由度を提供します。

表 3. STM32F103xx ファミリ

ピン数	メモリ・サイズ					
	中容量 STM32F103xx デバイス			大容量 STM32F103xx デバイス		
	32 KB Flash	64 KB Flash	128 KB Flash	256 KB Flash	384 KB Flash	512 KB Flash
	10 KB RAM	20 KB RAM	20 KB RAM	48 KB RAM	64 KB RAM	64 KB RAM
144				5 × USART		
100		3 × USART			4 × 16-bit タイマ、2 × 基本タイマ	
64	2 × USART	3 × 16-bit タイマ			3 × SPI、2 × I ² S、2 × I ² Cs	
	2 × 16-bit タイマ	2 × SPI、2 × I ² C、USB、CAN、			USB、CAN、2 × PWM タイマ	
	1 × SPI、1 × I ² C、	1 × PWM タイマ			3 × ADC、1 × DAC、1 × SDIO	
48	USB、CAN、	2 × ADC			FSMC (100 及び 144 ピン)	
	1 × PWM タイマ					
36	2 × ADCs					


2.3 概要

内蔵 Flash と SRAM 搭載 ARM[®] Cortex[™]-M3 コア

ARM Cortex[™]-M3 プロセッサは組込みシステム向け ARM プロセッサの最新製品です。ピン数の削減と低消費電力に対応した MCU を実装する必要がある低価格プラットフォームに提供することを目的に開発されました。また、優れた計算機性能と割込みに対する高機能なシステム・レスポンスが提供されています。

ARM Cortex[™]-M3 32bit RISC プロセッサは優れたコード効率を特徴とし、ARM コアからの高性能を提供します。8bit 及び 16bit デバイス並みのメモリ・サイズで ARM コアに期待されている高性能を提供することができます。

STM32F103xx パフォーマンス・ライン ファミリには組込み向け ARM コアを搭載しており、そのため、すべての ARM ツールとソフトウェアに互換性を持っています。

 1 はデバイスファミリの一般的なブロック図を示しています。

内蔵 Flash メモリ

最大 128Kbyte の内蔵 Flash メモリがプログラムとデータの保存のために搭載されています。

CRC (cyclic redundancy check : 巡回冗長検査) 演算ユニット

CRC (cyclic redundancy check) 演算ユニットは 32bit データ・ワードと固定された生成多項式から CRC コードを取得します。

アプリケーション間において、CRC ベースの技術はデータ転送やストレージの正当性を検証するために使用されます。また、EN/IEC 60335-1 により、この技術は Flash メモリの正当性を確認するために使用されます。CRC 演算ユニットは、リンク・タイム時のリファレンス符号の比較や提供されたメモリロケーションの保存を行うために、その実行でソフトウェアの符号の計算を支援します。

内蔵 SRAM

最大 20Kbyte の内蔵 SRAM は 0 ウェイト・ステートの CPU クロック・スピードでアクセス（読み込み / 書き込み）できます。

ネスト化（階層）されたベクタ割込みコントローラ (NVIC: Nested Vectored Interrupt Controller)

STM32F103xx パフォーマンス・ラインに内蔵されているネスト化（階層）されたベクタ割込みコントローラは、最大 43 のマスク可能な割込みチャネル（Cortex[™]-M3 の 16 割込みラインは含まれない）と 16 の優先レベルを処理することができます。

- 密結合の NVIC は低遅延の割込みプロセスを提供
- 割込みエントリ・ベクタ・テーブル・アドレスは直接コアへパス
- 密結合の NVIC コア インタフェース
- 割込みの迅速な処理が可能
- 遅延優先割込み処理
- テイラーチェイニングをサポート
- プロセッサ・ステートを自動的に保存
- 割込みエントリは命令オーバーヘッド無しで割込みからリストア

このハードウェア・ブロックは柔軟な割込み管理機能により最小の割込み遅延時間で済みます。

外部割込み / イベントコントローラ (EXTI : External interrupt/event controller)

19 本のエッジ検出ラインで構成されている外部割込み / イベント・コントローラは、割込み / イベント・リクエストを生成するために使用されます。それぞれのラインはトリガ・イベント（立上りエッジ、立下りエッジ、両エッジ）を選択できるように独立して構成することができ、個別にマスクすることも可能です。ペンディング・レジスタに割込みリクエストのステータスが保持されます。EXTI は、内部 APB2 クロック周波数より低いパルス幅の外部ラインを検出することが可能です。最大 80 個の GPIO が 16 本の外部割込みラインに接続されています。

クロックとスタートアップ

システムクロックの選択はスタートアップ時に実行されますが、内部 RC 8MHz の発振器がリセット時に CPU クロックのデフォルトとして選択されます。外部から 4 ~ 16 MHz のクロックを選択することができ、発振状態を監視することが可能です。発振を検出すると、システムは内部 RC 発振器へ戻るために自動的にスイッチします。また、イネーブルの場合はソフトウェア割込みが生成されます。同様に、PLL クロック・エントリの割込み管理は必要に応じて利用することができます。（例えば、間接的に使われた外部クリスタル、発振子、発振器の故障など）

複数のプリスケールは、AHB 周波数、高速 APB(APB2)、低速 APB (APB1) ドメインを構成することができます。AHB と高速 APB ドメインの最大周波数は 72MHz で、低速 APB ドメインの最大周波数は 36MHz になります。クロック構成図についての詳細は [図 2](#) を参照してください。

ブート・モード

スタートアップ時、ブートピンは 3 つのブート・オプションの 1 つを選択するために使われます。:

- ユーザ Flash からのブート
- システムメモリからのブート
- 内蔵 SRAM からのブート

ブート・ローダはシステムメモリに配置されてます。USART1 を使用することにより Flash メモリを再プログラムするのに使われます。詳細に関しては AN2606 を参照してください。

電源供給

- $V_{DD} = 2.0 \sim 3.6 \text{ V}$: I/O と内部レギュレータに対する外部電源供給
 V_{DD} ピンから外部経由で電源供給します。
- $V_{SSA}, V_{DDA} = 2.0 \sim 3.6 \text{ V}$: ADC、リセット・ブロック、RC、PLL (ADC を使用する場合、 V_{DDA} へ印加される最小限の電圧は 2.4 V) に対する外部アナログ電源供給
 V_{DDA} と V_{SSA} は、それぞれ V_{DD} と V_{SS} に接続する必要があります。
- $V_{BAT} = 1.8 \sim 3.6 \text{ V}$: V_{DD} が供給されていない場合の RTC、外部クロック 32 kHz オシレータ及びバックアップ・レジスタ (パワー・スイッチ経由で) についての電源供給

電源ピンの接続についての詳細は [図 11: 電源供給](#) を参照してください。

電源供給監視

このデバイスには、統合されたパワー・オン・リセット (POR)/ パワー・ダウン・リセット (PDR) の回路が搭載されています。通常はアクティブで、2V からの正しい動作を確実に開始します。 V_{DD} は $V_{POR/PDR}$ の指定されたスレシールド以下になる場合は、外付けのリセット回路を必要とすることなくリセット・モードを維持します。

デバイスには V_{DD}/V_{DDA} 電源供給を監視や V_{DD} と V_{PVD} スレシヨルドを比較するプログラム可能な電圧検出器 (PVD : Programmable voltage detector) が内蔵されています。 V_{DD}/V_{DDA} が V_{PVD} を下回る、及び / または、 V_{DD}/V_{DDA} が V_{PVD} スレシヨルドを上回る場合、 V_{DD}/V_{DDA} に割込みを生成することが可能です。割込みサービス・ルーチンはその後、警告メッセージを出し、及び / または、MCU をセーフ・ステートにします。PVD はソフトウェアによりイネーブルになります。

$V_{POR/PDR}$ 及び V_{PVD} の値については、表 10: 内蔵リセット及び電源制御ブロック特性を参照してください。

電圧レギュレータ

レギュレータには、メイン (MR)、低電力 (LPR)、パワーダウンの 3 つのオペレーションモードがあります。

- MR は Run モードで使用
- LPR は STOP モードで使用
- パワー・ダウンは STANDBY モードで使用 : レギュレータ出力はハイ・インピーダンス : 消費電力 0 でカーネル回路はパワー・ダウンします。(レジスタと SRAM の内容は消失)

このレギュレータは、リセット後は常にイネーブルとなります。STANDBY モードではディセーブルになり、ハイ・インピーダンス出力が提供されます。

低電力モード

STM32F103xx パフォーマンス・ラインは、低消費電流、ショート・スタートアップ時間、ウェイクアップ・ソースの対応について、最適な状態を達成するために 3 つの低電力モードをサポートします :

- **SLEEP モード**
SLEEP モードでは、CPU のみが停止します。すべてのペリフェラルは動作を続けますが、割込み / イベントが発生したときに CPU をウェイクアップできます。
- **STOP モード**
STOP モードは、SRAM とレジスタの内容を保持している間、最も低い消費電力を実現します。1.8V ドメインですべてのクロックは停止し、PLL、HSI RC、HSE 水晶発振子はディセーブルになります。電圧レギュレータはノーマルモードか低消費モードのどちらかにすることができます。
デバイスはいずれかの EXTI ラインにより STOP モードからウェイクアップすることができます。EXTI ラインのソースは、16 の外部ライン、PVD 出力、RTC アラーム、USB ウェイクアップの 1 つになります。
- **STANDBY モード**
STANDBY モードは、最も低い消費電力になります。1.8V ドメイン全体が電源を切られるように、内部電圧レギュレータはスイッチ・オフされます。また、PLL、HSI RC、HSE 水晶発振子もスイッチ・オフされます。STANDBY モードに入ると、SRAM とレジスタの内容はバックアップ領域と STANDBY 回路についてのレジスタを除いて失われます。
デバイスは外部リセット (NRST ピン)、IWDG リセット、WKUP ピン上での立上がりエッジ、もしくは RTC アラームが発生する場合、STANDBY モードから終了します。

注意

RTC、IWDG と対応するクロック・ソースは、STOP または STANDBY モードに入っても停止することはできません。

DMA

フレキシブルな 7 チャンネルの汎用 DMA は、メモリーメモリー間、ペリフェラルメモリー間、メモリーペリフェラル間の転送を管理することができます。コントローラが転送をしていて、バッファの終わりまで来ると発生する割込みを避けるために、DMA コントローラは循環バッファをサポートします。

各々のチャンネルは、各々のチャンネル上のソフトウェア・トリガをサポートし、専用のハードウェア DMA リクエストに接続しています。構成はソフトウェアによって行われ、転送元と転送先の間の転送サイズは独立しています

DMA は、SPI、I²C、USART、汎用及び高機能制御タイマ TIMx と ADC のメイン・ペリフェラルで使うことができます。

RTC (Real-Time Clock) とバックアップ・レジスタ

RTC とバックアップ・レジスタは V_{DD} 電源から V_{BAT} ピンのどちらかの電源を供給するスイッチを通して供給されます。 V_{DD} 電源が提供されていない場合は、バックアップ・レジスタは 20 byte のユーザ・アプリケーション・データを保存するために 10 個の 16bit レジスタを使用することができます。

リアルタイム・クロックは、時計カレンダー機能を提供する適切なソフトウェアを使用することができる連続的に動作するカウンタのセットを提供し、アラーム割込みと定期的な割込みを提供します。そのクロック出力は 32.768 kHz 外部クリスタル、発振子もしくは発振器で行われ、内部低電力 RC 発振器もしくは高速外部クロックは 128 で分割されます。内部低電力 RC は 40 kHz 標準周波数を持っています。RTC は、通常のクリスタルの偏差を補償するために外部 512 Hz 出力を使って較正することができます。RTC は、比較レジスタがアラームを生成するのに使用する長時間測定について、32bit のプログラマブル・カウンタを持っています。20bit プリスケールは時間ベースのクロックに使用され、32.768 kHz のクロックから 1 秒ベースの時間を生成するデフォルト構成になっています。

独立型ウォッチドッグ

独立型ウォッチドッグは、12bit ダウン・カウンタと 8bit プリスケールを基本としています。この独立型ウォッチドッグは 40kHz の内部 RC からのクロックで動作し、メイン・クロックから独立して動作します。また、STOP と STANDBY モードで動作することができます。問題が発生した場合には、デバイスをリセットするウォッチドッグとして使用するか、もしくはアプリケーションがタイム・アウト管理のためにフリー・ランニング・タイマとして使用することが可能です。それは、オプション・バイトを使用して、ハードウェアもしくはソフトウェアで設定することができます。カウンタは、デバッグ・モード時には停止することができます。

Window 型ウォッチドッグ

Window 型ウォッチドッグは、フリー・ランニングとして設定することができる 7bit ダウン・カウンタを基本としています。問題が発生した場合に、デバイスをリセットするウォッチドッグとして使用することができます。それは、メイン・クロックからのクロックで動作します。また、早期ワーニング割込み機能を持っており、カウンタはデバッグ・モード時には停止することができます。

SysTick タイマ

このタイマは OS 用で標準ダウン・カウンタとして使用することができます。

機能は以下のとおりです。:

- 24bit ダウン・カウンタ
- 自動再ロード機能
- カウンタが0になるとマスク可能なシステム割込みを生成
- プログラマブル・クロック・ソース

汎用タイマ (TIMx)

STM32F103xx パフォーマンス・ラインのデバイスには最大 3 個の同期型汎用タイマが内蔵されます。これらのタイマは 16bit 自動再ロード・アップ/ダウン・カウンタ、16bit プリスケアラを基本とし、入力キャプチャ/出力比較、PWM、単一パルス・モード出力について、それぞれ 4 つの独立したチャンネルを持っています。これらの機能は、最も大きなパッケージでは最大 12 の入力キャプチャ/出力比較/PWM が提供されています。これらは、同期またはイベント・チェイニングのためにタイマ・リンク機能を経由して高機能制御タイマとともに動作することができます。

カウンタは、デバッグ・モード時には停止することができます。

いくつかの標準タイマは PWM 出力を生成するために使うことができます。それぞれのタイマは個別に DMA リクエストを生成します。

高機能制御タイマ (TIM1 : Advanced-control timer)

高機能制御タイマ (TIM1) は、6 チャンネル上に三相 PWM マルチプレクサとして構成され、デッド・タイマが内蔵されているプログラム可能で補完的な PWM 出力を持っています。また、完全な汎用タイマとして使うことも可能です。4 つの独立したチャンネルは、以下の機能が使用できます。

- 入力キャプチャ
- 出力比較
- PWM 生成 (エッジもしくはセンタアライン・モード)
- 単一パルスモード出力

標準 16bit タイマとして構成する場合は、TIMx タイマと同じ機能を持っています。16bit PWM 生成器として構成する場合、最大限の変調機能を使用することができます。(0 ~ 100%)

カウンタは、デバッグ・モード時には停止することができます。

多くの特長が、同じアーキテクチャを持った標準的な TIM タイマの機能と共有しています。そのため、高機能制御タイマは、同期またはイベント・チェイニングのためにタイマ・リンク機能を通して TIM タイマとともに動作することができます。

I²C バス

最大 2 個の I²C バス・インタフェースは、マルチマスタ・モード及びスレーブ・モードで動作することができ、標準モード、高速モードをサポートしています。

このインタフェースはデュアル・スレーブ・アドレッシング (7bit のみ) 及びマスタ・モードで、7/10bit アドレッシングをサポートし、ハードウェア CRC 生成/検証機能を内蔵しています。

これらは DMA により動作し、SM Bus 2.0/PM Bus をサポートしています。

USART (Universal synchronous/asynchronous receiver transmitter)

USART インタフェースの 1 つは最大 4.5 Mbit/s で通信を行うことができます。その他のインタフェースは最大 2.25Mbit/s で通信を行うことができます。これらは CTS 及び RTS 信号のハードウェア管理機能を内蔵しているため、IrDA SIR ENDEC サポート、ISO7816 互換、LIN マスタ/スレーブ互換機能を持っています。

すべての USART インタフェースは DMA コントローラにより動作させることができます。

SPI (Serial peripheral interface)

最大 2 個の SPI は、全二重及び単方向通信モードでスレーブ及びマスタ・モードは最大 18 Mbits/s の速度で通信することができます。3bit プリスケアラは 8 個のマスタ・モード周波数を提供し、フレームは 8bit もしくは 16bit で構成することができます。また、ハードウェア CRC 生成 / 検証機能は基本的な SD カード / MMC モードをサポートしています。

両方の SPI は DMA コントローラで動作させることができます。

CAN (Controller area network)

CAN は、ビットレートが最大 1 Mbit/s の仕様書 2.0A と B (アクティブ) に準拠しています。11bit の ID を持つ標準フレームと 29bit の ID を持つ拡張フレームで送受信することができます。3 つのステージと 14 のスケラブル・フィルタ・バンクを持った 2 つの受信 FIFO を搭載しています。

USB (Universal serial bus)

STM32F103xx パフォーマンス・ラインは、USB フルスピード 12 Mbs に互換の USB デバイス・ペリフェラルを内蔵しています。USB インタフェースは、Full Speed(12 Mbit/s) のファンクション・インタフェースが実装され、ソフトウェアで構成ができるエンドポイント設定やサスペンド / レジュームがサポートされています。また、理想的な 48 MHz クロック・ソースが内部メイン PLL より生成されています。(クロック・ソースは HSE 水晶発振子を使用しなければなりません。)

GPIO (general-purpose inputs/outputs)

それぞれの GPIO ピンは、出力 (プッシュプルもしくはオープン・ドレイン)、入力 (プルアップもしくはプルダウンあり、無し)、もしくはペリフェラル・オルタネート機能として、ソフトウェアにより構成することができます。ほとんどの GPIO ピンはデジタルとアナログのオルタネート機能を共有します。すべての GPIO はアナログ入力以外については大電流対応になります。

I/O オルタネート機能の構成は、I/O レジスタへの不正な書き込みを避けるために、特定シーケンスを実行後に必要に応じてロックすることができます。

最大 18 MHz のトグル速度で APB2 上の I/O になります。

ADC (アナログ・デジタル・コンバータ)

STM32F103xx パフォーマンス・ラインのデバイスに内蔵されている 2 個の 12bit ADC (アナログ - デジタル・コンバータ) は、それぞれの ADC に最大 16 外部チャネルを持ち、シングル・ショットもしくはスキャン・モードで変換を実行します。スキャン・モードの自動変換はアナログ入力を選択されたグループ上で実行されます。

ADC インタフェースには以下のロジック機能が内蔵されています。:

- 同時サンプル&ホールド
- 不連続サンプル&ホールド
- シングル・シャント

ADC は、DMA コントローラにより動作させることができます。

アナログ・ウォッチドッグ機能は、1 チャネル、複数チャネル、すべてのチャネルの選択されたチャネルの変換電圧を正確に監視します。割込みは、変換電圧がプログラムされたスレシールド外の場合に生成されます。

標準タイマ (TIMx) と高機能制御タイマ (TIM1) により生成されたイベントは、それぞれ、ADC スタート・トリガ、供給トリガ、DMA トリガに内部的に接続することができ、アプリケーションが A/D 変換とタイマに同期することを許可します。

温度センサ

温度センサは、温度の変化に対応してリニアな電圧を生成します。その変換範囲は $2\text{ V} < V_{DDA} < 3.6\text{ V}$ 間になります。温度センサは、センサ出力電圧をデジタル値へ変換するために使われる ADC_IN16 入力チャネルへ内部的に接続されています。

シリアル・ワイヤ JTAG デバッグ・ポート (SWJ-DP: Serial WireJTAG Debug Port)

ARM SWJ-DP インタフェースが内蔵されており、シリアル・ワイヤ・デバッグもしくは JTAG プローブのどちらかをターゲットに接続することを可能にする JTAG とシリアル・ワイヤ・デバッグ・ポートの組み合わせになります。JTAG TMS と TCK ピンはそれぞれ SWDIO と SWCLK と共有され、TMS ピンの特定のシーケンスは JTAG-DP と SW-DP の間でスイッチして使われます。

図 1. STM32F103xx パフォーマンス・ライン ブロック図

The diagram illustrates the internal architecture of the STM32F103xx microcontroller. It features a central Cortex-M3 CPU (F_{max}: 72 MHz) connected to various peripheral blocks via a BusMatrix. Key components include:

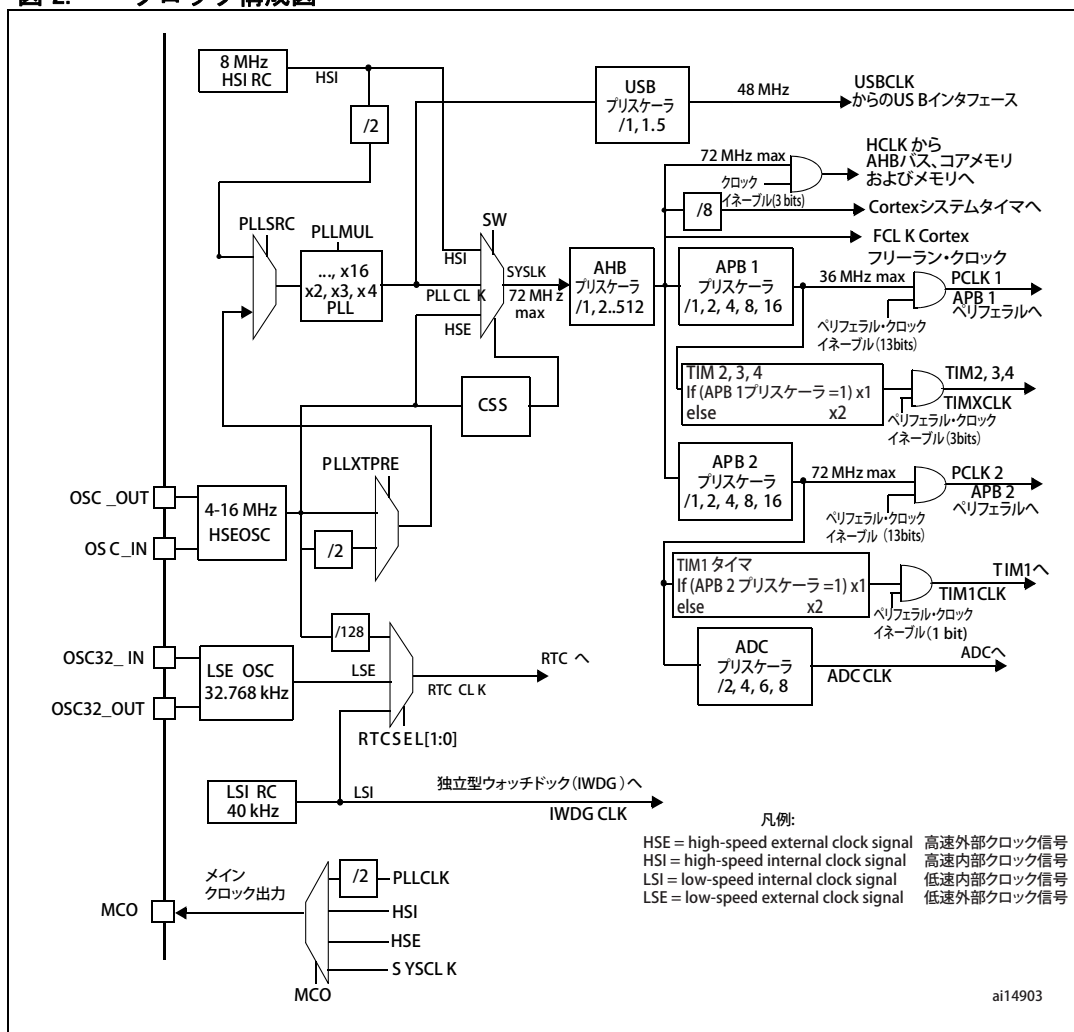
- Core & Memory:** Cortex-M3 CPU, NVIC, SRAM (20 KB), Flash (128 KB, 64 bit).
- Power Management:** 電源 (電圧レギュレータ 3.3V~1.8V @ VDD), 電源監視 (POR / PDR, リセット, PVD, 割込み), IWDG (Stand by インタフェース), VBAT.
- Clocks & Timers:** XTAL OSC (4-16 MHz), PLL & CLOCK MANAGT, PCLK1, PCLK2, HCLK, FCLK, RC 8 MHz, RC 40 kHz, XTAL 32 kHz, RTC (AWU, バックアップレジスタ, バックアップインタフェース), TAMPER - RTC, TIM2, TIM3, TIM4 (4 channels each).
- Communication & I/O:** USART2, USART3 (RX, TX, CT S, RT S, CK, Smart Card (AF)), SPI2, I2C1, I2C2 (SCL, SDA, SMBAL (AF)), bxCAN (USB DP / CANTX, USB DM / CANRX), SRAM 512B, WWDG.
- GPIO & Wakeup:** 80AF, PA[15:0], PB[15:0], PC[15:0], PD[15:0], PE[15:0], EXT1 WAKEUP, GPIOA, GPIOB, GPIOC, GPIOD, GPIOE.
- ADC & Sensors:** 12bit ADC1, 12bit ADC2 (IF), 温度センサ.

Power supply and clock signals are indicated: V_{DD} = 2 ~ 3.6V, V_{SS}, OSC_IN, OSC_OUT, OSC32_IN, OSC32_OUT, VBAT.

1. $T_A = -40^\circ\text{C} \sim +105^\circ\text{C}$ (最大 $+125^\circ\text{C}$ のジャンクション温度)
2. AF = I/O ポートピン上のオルタネート機能

この資料は、STMicroelectronics NV 並びにその子会社（以下 ST）が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認ください。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任にも負いません。

図 2. クロック構成図



1. PLL クロック入力として HSI を使用する場合、最大システム・クロック周波数を 64 MHz に出来ます。
2. USB 機能を使用するには、48 MHz もしくは 72 MHz で CPU を動作させながら HSE と PLL をイネーブルにする必要があります。
3. 1 μ s の ADC 変換時間のためには、APB2 を 14MHz、28MHz、56MHz にする必要があります。

3 ピンの詳細

図 3. STM32F103xx パフォーマンス・ライン BGA100 ボール配置

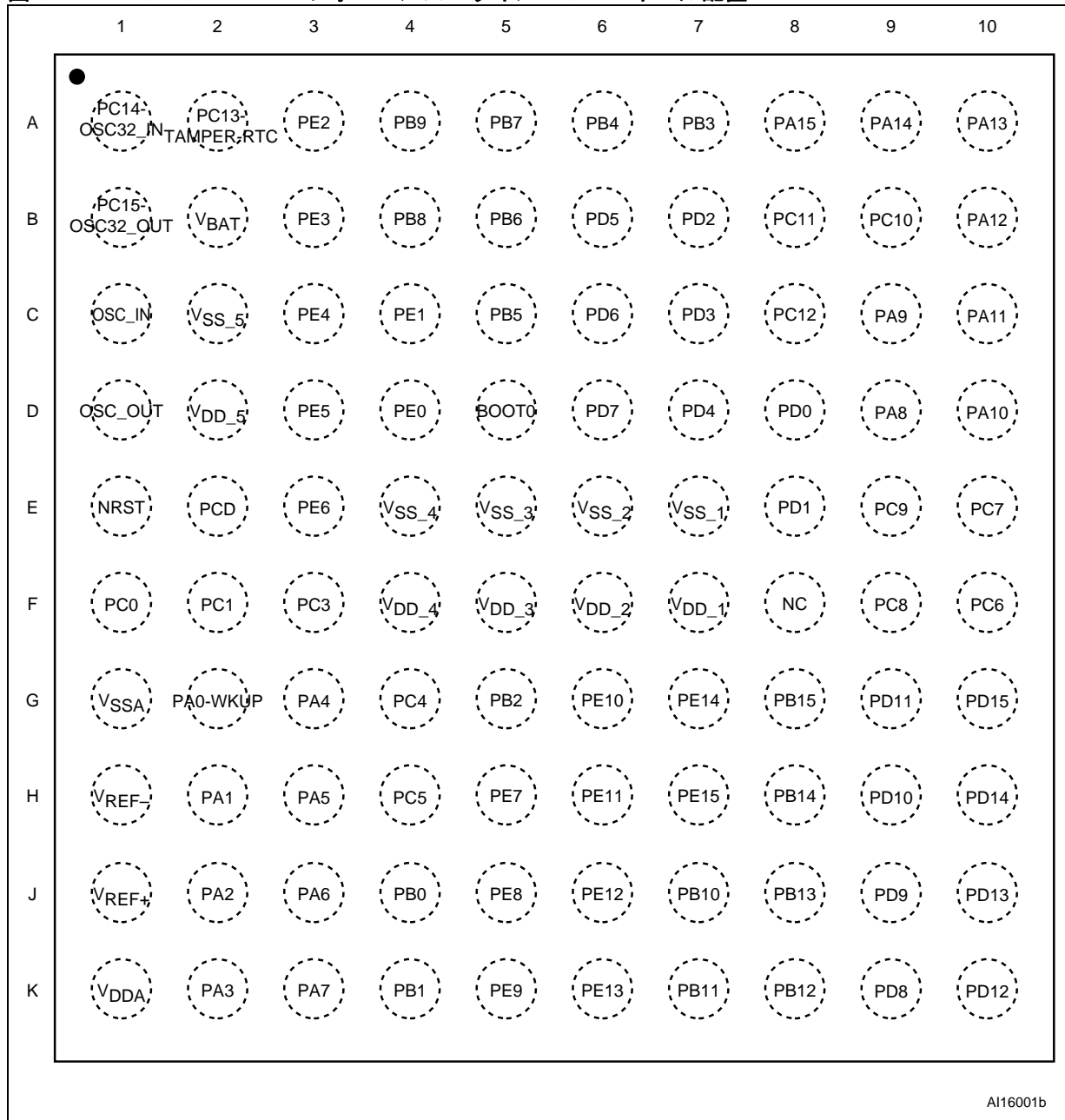
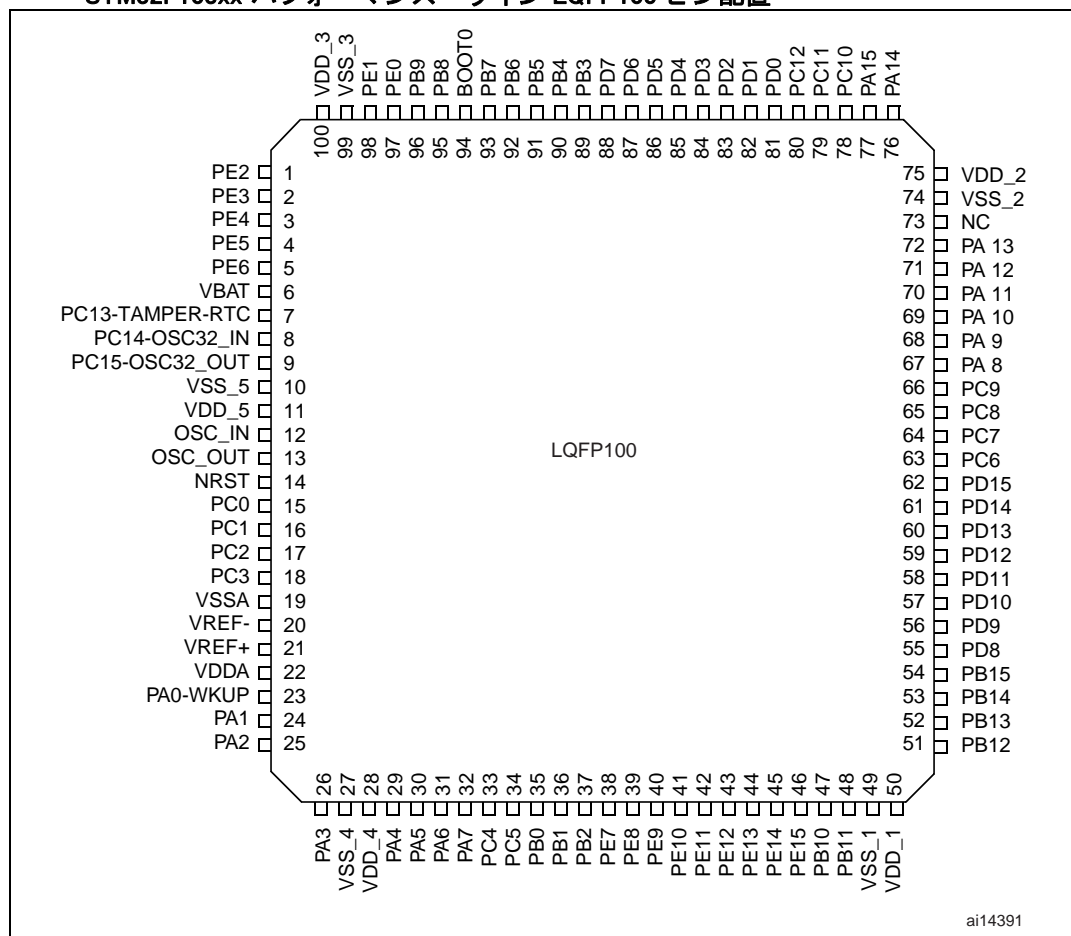


図 4. STM32F103xx パフォーマンス・ライン LQFP100 ピン配置



ai14391

図 5. STM32F103xx パフォーマンス・ライン LQFP64 ピン配置

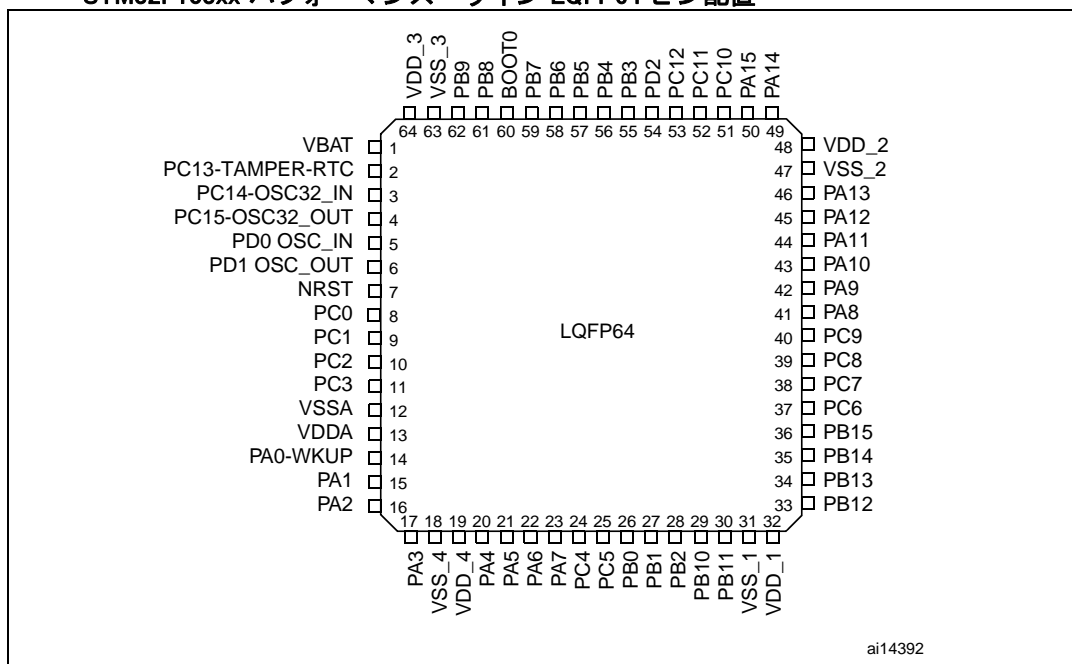


図 6. STM32F103xx パフォーマンス・ライン LQFP48 ピン配置

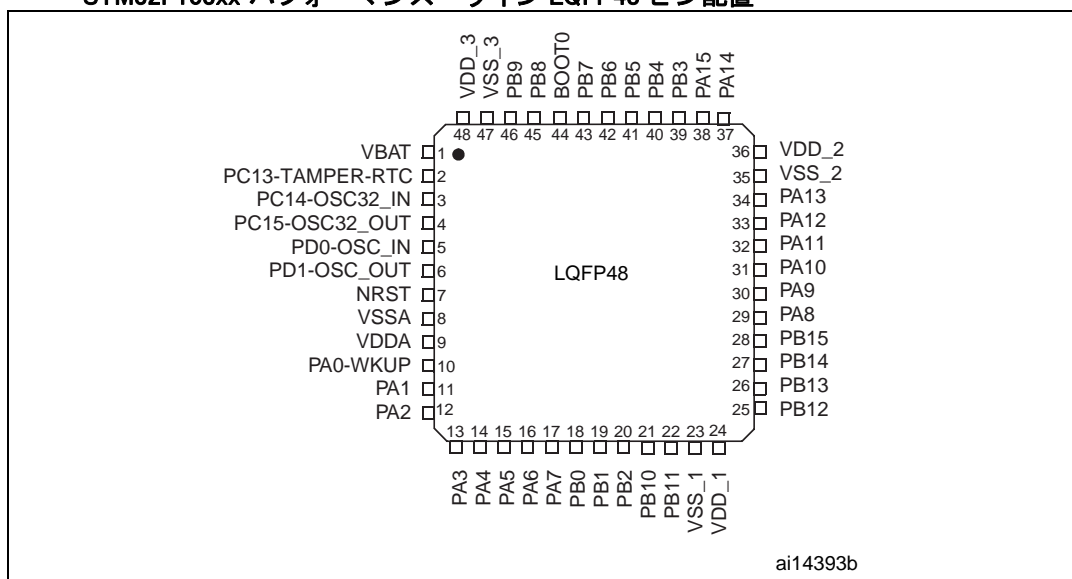
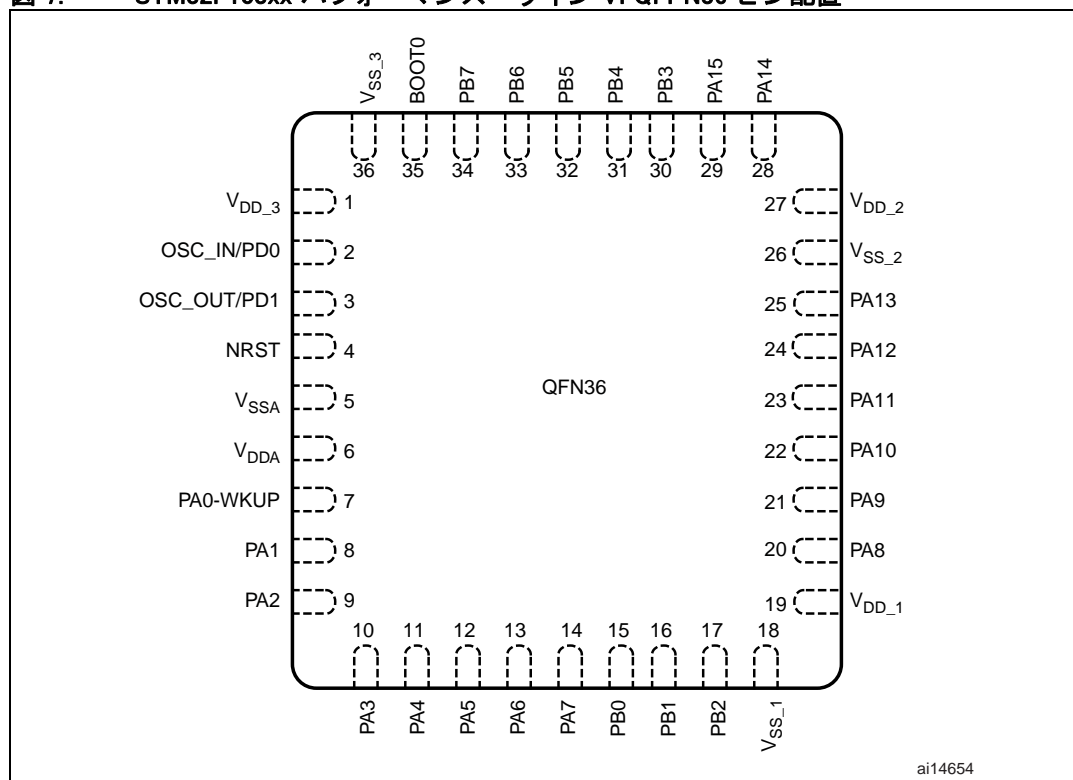


図 7. STM32F103xx パフォーマンス・ライン VFQFPN36 ピン配置



参考資料

STM32F103x6, STM32F103x8, STM32F103xB

ピンの詳細

表 4. ピンの定義

ピン					ピン名	タイプ (1)	I/O レベル (2)	主機能 ⁽³⁾ (リセット後)	オルタネート機能	
BGA100	LQFP48	LQFP64	LQFP100	VQFPN36					デフォルト	リマップ (再配置)
A3	–	–	1	–	PE2	I/O	FT	PE2	TRACECK	
B3	–	–	2	–	PE3	I/O	FT	PE3	TRACED0	
C3	–	–	3	–	PE4	I/O	FT	PE4	TRACED1	
D3	–	–	4	–	PE5	I/O	FT	PE5	TRACED2	
E3	–	–	5	–	PE6	I/O	FT	PE6	TRACED3	
B2	1	1	6	–	V _{BAT}	S		V _{BAT}		
A2	2	2	7	–	PC13-TAMPER- RTC ⁽⁴⁾	I/O		PC13 ⁽⁵⁾	TAMPER-RTC	
A1	3	3	8	–	PC14-OSC32_IN ⁽⁴⁾	I/O		PC14 ⁽⁵⁾	OSC32_IN	
B1	4	4	9	–	PC15-OSC32_OUT ⁽⁴⁾	I/O		PC15 ⁽⁵⁾	OSC32_OUT	
C2	–	–	10	–	V _{SS_5}	S		V _{SS_5}		
D2	–	–	11	–	V _{DD_5}	S		V _{DD_5}		
C1	5	5	12	2	OSC_IN	I		OSC_IN		
D1	6	6	13	3	OSC_OUT	O		OSC_OUT		
E1	7	7	14	4	NRST	I/O		NRST		
F1	–	8	15	–	PC0	I/O		PC0	ADC12_IN10	
F2	–	9	16	–	PC1	I/O		PC1	ADC12_IN11	
E2	–	10	17	–	PC2	I/O		PC2	ADC12_IN12	
F3	–	11	18	–	PC3	I/O		PC3	ADC12_IN13	
G1	8	12	19	5	V _{SSA}	S		V _{SSA}		
H1	–	–	20	–	V _{REF–}	S		V _{REF–}		
J1	–	–	21	–	V _{REF+}	S		V _{REF+}		
K1	9	13	22	6	V _{DDA}	S		V _{DDA}		
G2	10	14	23	7	PA0-WKUP	I/O		PA0	WKUP/USART2_CT S ⁽⁶⁾ / ADC12_IN0/ TIM2_CH1_ETR ⁽⁶⁾	
H2	11	15	24	8	PA1	I/O		PA1	USART2_RTS ⁽⁶⁾ / ADC12_IN1/ TIM2_CH2 ⁽⁶⁾	
J2	12	16	25	9	PA2	I/O		PA2	USART2_TX ⁽⁶⁾ / ADC12_IN2/ TIM2_CH3 ⁽⁶⁾	



Rev8- 日本語版

23/84

この資料は、STMicroelectronics NV 並びにその子会社（以下 ST）が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

参考資料

ピンの詳細

STM32F103x6, STM32F103x8, STM32F103xB

表 4. ピンの定義 (続き)

ピン					ピン名	タイプ (1)	I/O レベル (2)	主機能 ⁽³⁾ (リセット後)	オルタネート機能	
BGA100	LQFP48	LQFP64	LQFP100	VQFPN36					デフォルト	リマップ (再配置)
K2	13	17	26	10	PA3	I/O		PA3	USART2_RX ⁽⁶⁾ / ADC12_IN3/ TIM2_CH4 ⁽⁶⁾	
E4	–	18	27	–	V _{SS_4}	S		V _{SS_4}		
F4	–	19	28	–	V _{DD_4}	S		V _{DD_4}		
G3	14	20	29	11	PA4	I/O		PA4	SPI1_NSS ⁽⁶⁾ / USART2_CK ⁽⁶⁾ / ADC12_IN4	
H3	15	21	30	12	PA5	I/O		PA5	SPI1_SCK ⁽⁶⁾ / ADC12_IN5	
J3	16	22	31	13	PA6	I/O		PA6	SPI1_MISO ⁽⁶⁾ / ADC12_IN6/ TIM3_CH1 ⁽⁶⁾	TIM1_BKIN
K3	17	23	32	14	PA7	I/O		PA7	SPI1_MOSI ⁽⁶⁾ / ADC12_IN7/ TIM3_CH2 ⁽⁶⁾	TIM1_CH1N
G4	–	24	33		PC4	I/O		PC4	ADC12_IN14	
H4	–	25	34		PC5	I/O		PC5	ADC12_IN15	
J4	18	26	35	15	PB0	I/O		PB0	ADC12_IN8/ TIM3_CH3 ⁽⁶⁾	TIM1_CH2N
K4	19	27	36	16	PB1	I/O		PB1	ADC12_IN9/ TIM3_CH4 ⁽⁶⁾	TIM1_CH3N
G5	20	28	37	17	PB2 / BOOT1	I/O	FT	PB2/BOOT1		
H5	–	–	38	–	PE7	I/O	FT	PE7		TIM1_ETR
J5	–	–	39	–	PE8	I/O	FT	PE8		TIM1_CH1N
K5	–	–	40	–	PE9	I/O	FT	PE9		TIM1_CH1
G6	–	–	41	–	PE10	I/O	FT	PE10		TIM1_CH2N
H6	–	–	42	–	PE11	I/O	FT	PE11		TIM1_CH2
J6	–	–	43	–	PE12	I/O	FT	PE12		TIM1_CH3N
K6	–	–	44	–	PE13	I/O	FT	PE13		TIM1_CH3
G7	–	–	45	–	PE14	I/O	FT	PE14		TIM1_CH4
H7	–	–	46	–	PE15	I/O	FT	PE15		TIM1_BKIN
J7	21	29	47	–	PB10	I/O	FT	PB10	I2C2_SCL/ USART3_TX ⁽⁶⁾ (6)	TIM2_CH3
K7	22	30	48	–	PB11	I/O	FT	PB11	I2C2_SDA/ USART3_RX ⁽⁶⁾ (6)	TIM2_CH4



参考資料

STM32F103x6, STM32F103x8, STM32F103xB

ピンの詳細

表 4. ピンの定義 (続き)

ピン					ピン名	タイプ (1)	I/O レベル (2)	主機能 ⁽³⁾ (リセット後)	オルタネート機能	
BGA100	LQFP48	LQFP64	LQFP100	VQFPN36					デフォルト	リマップ (再配置)
E7	23	31	49	18	V _{SS_1}	S		V _{SS_1}		
F7	24	32	50	19	V _{DD_1}	S		V _{DD_1}		
K8	25	33	51	-	PB12	I/O	FT	PB12	SPI2_NSS ⁽⁶⁾ / I2C2_SMBAL ⁽⁶⁾ / USART3_CK ⁽⁶⁾⁽⁶⁾ / TIM1_BKIN ⁽⁶⁾	
J8	26	34	52	-	PB13	I/O	FT	PB13	SPI2_SCK ⁽⁶⁾ / USART3_CTS ⁽⁶⁾⁽⁶⁾ TI M1_CH1N ⁽⁶⁾	
H8	27	35	53	-	PB14	I/O	FT	PB14	SPI2_MISO ⁽⁶⁾ / USART3_RTS ⁽⁶⁾⁽⁶⁾ TIM1_CH2N ⁽⁶⁾	
G8	28	36	54	-	PB15	I/O	FT	PB15	SPI2_MOSI ⁽⁶⁾ / TIM1_CH3N ⁽⁶⁾	
K9	-	-	55	-	PD8	I/O	FT	PD8		USART3_TX
J9	-	-	56	-	PD9	I/O	FT	PD9		USART3_RX
H9	-	-	57	-	PD10	I/O	FT	PD10		USART3_CK
G9	-	-	58	-	PD11	I/O	FT	PD11		USART3_CTS
K10	-	-	59	-	PD12	I/O	FT	PD12		TIM4_CH1 / USART3_RTS
J10	-	-	60	-	PD13	I/O	FT	PD13		TIM4_CH2
H10	-	-	61	-	PD14	I/O	FT	PD14		TIM4_CH3
G10	-	-	62	-	PD15	I/O	FT	PD15		TIM4_CH4
F10	-	37	63	-	PC6	I/O	FT	PC6		TIM3_CH1
E10		38	64	-	PC7	I/O	FT	PC7		TIM3_CH2
F9		39	65	-	PC8	I/O	FT	PC8		TIM3_CH3
E9	-	40	66	-	PC9	I/O	FT	PC9		TIM3_CH4
D9	29	41	67	20	PA8	I/O	FT	PA8	USART1_CK/ TIM1_CH1 ⁽⁶⁾ /MCO	
C9	30	42	68	21	PA9	I/O	FT	PA9	USART1_TX ⁽⁶⁾ / TIM1_CH2 ⁽⁶⁾	
D10	31	43	69	22	PA10	I/O	FT	PA10	USART1_RX ⁽⁶⁾ / TIM1_CH3 ⁽⁶⁾	
C10	32	44	70	23	PA11	I/O	FT	PA11	USART1_CTS/ CANRX ⁽⁷⁾ / TIM1_CH4 ⁽⁶⁾ / USBDM	



参考資料

ピンの詳細

STM32F103x6, STM32F103x8, STM32F103xB

表 4. ピンの定義 (続き)

ピン					ピン名	タイプ (1)	I/O レベル (2)	主機能 ⁽³⁾ (リセット後)	オルタネート機能	
BGA100	LQFP48	LQFP64	LQFP100	VQFPN36					デフォルト	リマップ (再配置)
B10	33	45	71	24	PA12	I/O	FT	PA12	USART1_RTS/ CANTX ⁽⁶⁾ / TIM1_ETR ⁽⁶⁾ / USBDP	
A10	34	46	72	25	PA13/JTMS/SWDIO	I/O	FT	JTMS/SWDIO	PA13	
F8	–	–	73	–	未接続					
E6	35	47	74	26	V _{SS_2}	S		V _{SS_2}		
F6	36	48	75	27	V _{DD_2}	S		V _{DD_2}		
A9	37	49	76	28	PA14/JTCK/SWCLK	I/O	FT	JTCK/SWCLK	PA14	
A8	38	50	77	29	PA15/JTDI	I/O	FT	JTDI	PA15	TIM2_CH1_ETR/ SPI1_NSS
B9	–	51	78		PC10	I/O	FT	PC10		USART3_TX
B8	–	52	79		PC11	I/O	FT	PC11		USART3_RX
C8	–	53	80		PC12	I/O	FT	PC12		USART3_CK
D8	5	5	81	2	PD0	I/O	FT	OSC_IN ⁽⁸⁾		CANRX
E8	6	6	82	3	PD1	I/O	FT	OSC_OUT ⁽⁸⁾		CANTX
B7		54	83	–	PD2	I/O	FT	PD2	TIM3_ETR	
C7	–	–	84	–	PD3	I/O	FT	PD3		USART2_CTS
D7	–	–	85	–	PD4	I/O	FT	PD4		USART2_RTS
B6	–	–	86	–	PD5	I/O	FT	PD5		USART2_TX
C6	–	–	87	–	PD6	I/O	FT	PD6		USART2_RX
D6	–	–	88	–	PD7	I/O	FT	PD7		USART2_CK
A7	39	55	89	30	PB3/JTDO	I/O	FT	JTDO	PB3/TRACESWO	TIM2_CH2 / SPI1_SCK
A6	40	56	90	31	PB4/JNTRST	I/O	FT	JNTRST	PB4	TIM3_CH1 / SPI1_MISO
C5	41	57	91	32	PB5	I/O		PB5	I2C1_SMBAL	TIM3_CH2 / SPI1_MOSI
B5	42	58	92	33	PB6	I/O	FT	PB6	I2C1_SCL ⁽⁶⁾ / TIM4_CH1 ⁽⁶⁾⁽⁶⁾	USART1_TX
A5	43	59	93	34	PB7	I/O	FT	PB7	I2C1_SDA ⁽⁶⁾ / TIM4_CH2 ⁽⁶⁾⁽⁶⁾	USART1_RX
D5	44	60	94	35	BOOT0	I		BOOT0		
B4	45	61	95	–	PB8	I/O	FT	PB8	TIM4_CH3 ⁽⁶⁾⁽⁶⁾	I2C1_SCL / CANRX
A4	46	62	96	–	PB9	I/O	FT	PB9	TIM4_CH4 ⁽⁶⁾⁽⁶⁾	I2C1_SDA / CANTX



表 4. ピンの定義 (続き)

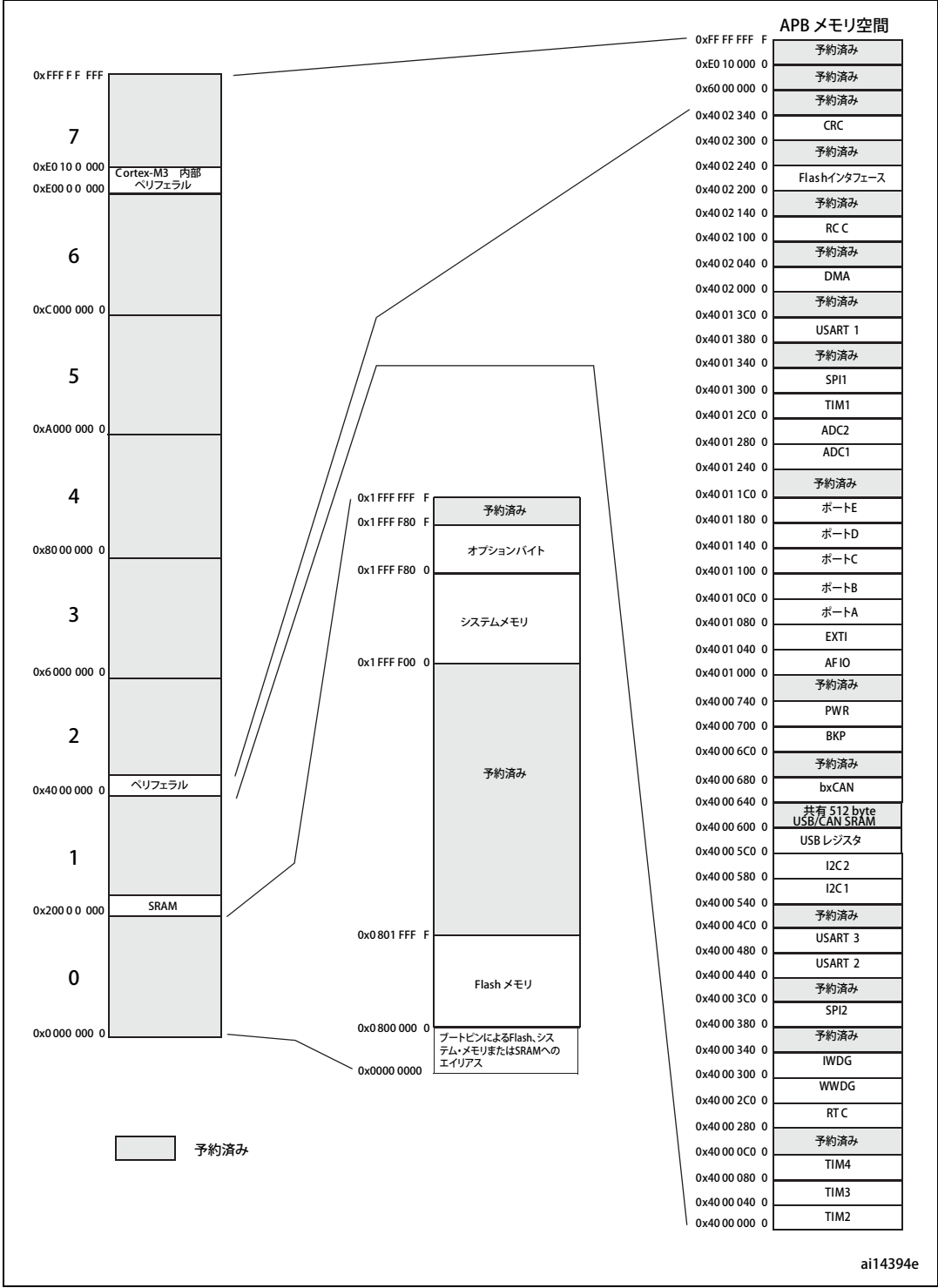
ピン					ピン名	タイプ (1)	I/O レベル (2)	主機能 ⁽³⁾ (リセット後)	オルタネート機能	
BGA100	LQFP48	LQFP64	LQFP100	VFQFPN36					デフォルト	リマップ (再配置)
D4	–	–	97	–	PE0	I/O	FT	PE0	TIM4_ETR ⁽⁶⁾	
C4	–	–	98	–	PE1	I/O	FT	PE1		
E5	47	63	99	36	V _{SS_3}	S		V _{SS_3}		
F5	48	64	100	1	V _{DD_3}	S		V _{DD_3}		

1. I = input (入力)、O = output (出力)、S = supply (供給)、HiZ = high impedance (ハイ・インピーダンス)
2. FT = 5 V 耐性
3. 利用できる機能は選択されたデバイスにより異なります。ペリフェラル数が少ないデバイスについては、少ない数字のペリフェラルから順に構成されます。デバイスが 1 つの SPI と 2 つの USART を持っている場合、それぞれ SPI1、USART1、USART2 と呼びます。表 2 (8 ページ) を参照してください。
4. PC13、PC14 と PC15 は電源スイッチによって供給されますが出力モードでの使用は制限されます。30pF の最大負荷で出力 2MHz モードのみ使用することができ、1 本のピンのみ同時に出力モードに設定することができません。
5. 最初のバックアップ・ドメインのパワーアップ後の主な機能。リセット (レジスタがメインリセットによってリセットされない) の後もバックアップ・レジスタの内容に依存します。これらの I/O を管理する方法に関する詳細については、ST マイクロエレクトロニクスのウェブサイト : www.st.com から入手可能な STM32F10xxx リファレンス・マニュアルのバッテリー・バックアップ・ドメイン及び BKP レジスタのセクションを参照してください。
6. Flash メモリ容量が 64Kbyte 以上のデバイスのみ対応しています。
7. このオルタネート機能はいくつかのポートピンに対してソフトウェアにより再配置することができます。(使用するパッケージがこの機能に対応可能な場合) さらに詳細な情報に関しては ST マイクロエレクトロニクスのウェブサイト www.st.com から STM32F10xxx リファレンス・マニュアルをダウンロードしてオルタネート I/O 機能とデバッグ構成についてのセクションを参照してください。
8. VFQFPN36 パッケージの 2 番と 3 番ピン及び LQFP48 と LQFP64 パッケージの 5 番と 6 番ピンはリセット後に OSC_IN/OSC_OUT として構成されますが、PD0 と PD1 の機能はこれらのピン上でソフトウェアにより再配置することができます。LQFP100 パッケージについては、PD0 と PD1 はデフォルトで利用できるため再配置する必要がありません。この詳細につきましては、STM32F10xxx リファレンス・マニュアルのオルタネート機能 I/O とデバッグ構成のセクションを参照してください。
出力モードの PD0 と PD1 の使用は、出力モードの 50MHz で使用できるように制限されています。

4 メモリ・マッピング

図 8 にメモリ・マップ図を示します。

図 8. メモリ・マップ



この資料は、STMicroelectronics NV 並びにその子会社（以下 ST）が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くために ST マイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST 及び ST マイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

5 電気的特性

5.1 テスト条件

特に明記しない限り、すべての電圧は V_{SS} を参照します。

5.1.1 最小値と最大値

特に明記しない限り、最小値と最大値は、周囲温度が $T_A = 25^\circ\text{C}$ と $T_A = T_A$ 最大値（選択された温度範囲による）において 100% のデバイスが生産時のテストで周囲温度、供給電圧、周波数が最も厳しい条件で保証されます。

データは特性結果を基本にしており、設計シミュレーション及び / もしくは技術特性は表の注釈に示されています。また、これは生産時にはテストされません。特性に基づいて、最小値と最大値はサンプルテストの結果を参照しています。また、値は標準偏差（平均 $\pm 3\sigma$ ）のプラスもしくはマイナスの 3 倍の平均値を表しています。

5.1.2 標準値

特に明記しない限り、標準データは $T_A = 25^\circ\text{C}$ 、 $V_{DD} = 3.3\text{ V}$ ($2\text{ V} \leq V_{DD} \leq 3.6\text{ V}$ の電圧範囲) を基本にしています。これらは、設計ガイドラインとして提供されているのみで、テストは行っておりません。

標準的な ADC 精度値は、全温度範囲の標準偏差からのサンプルバッチの特性により決められます。これにより、デバイスの 95% が示された値 ($\pm 2\sigma$) 以下のエラーで済みます。

5.1.3 標準カーブ

特に明記がない限り、すべての標準カーブは設計ガイドラインとして提供されているのみで、テストは行っておりません。

5.1.4 負荷容量

負荷条件は、図 9 に示されるように、ピンのパラメータ測定に使われます。

5.1.5 ピン入力電圧

デバイス上のピン入力電圧測定は、図 10 に説明されています。

図 9. ピン負荷条件

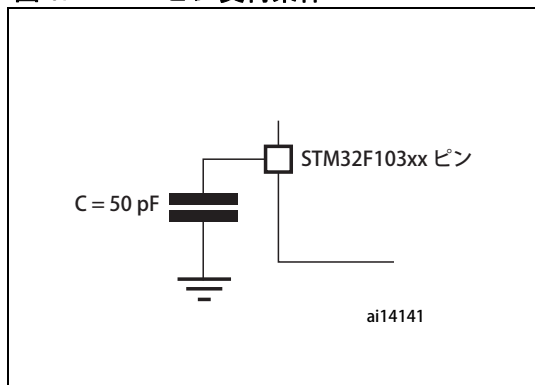
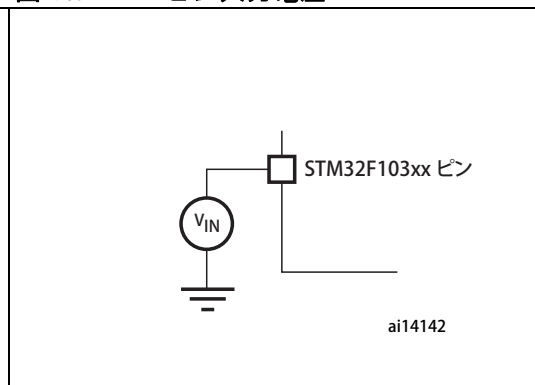
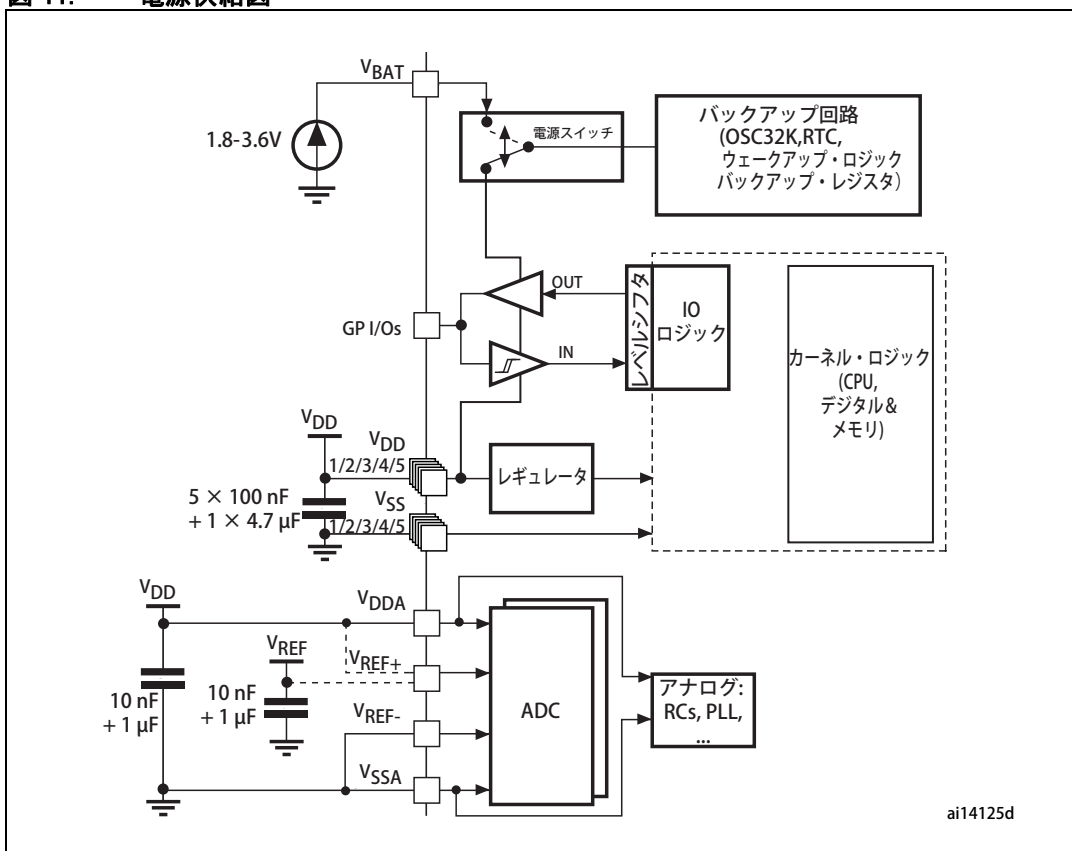


図 10. ピン入力電圧



5.1.6 電源供給図

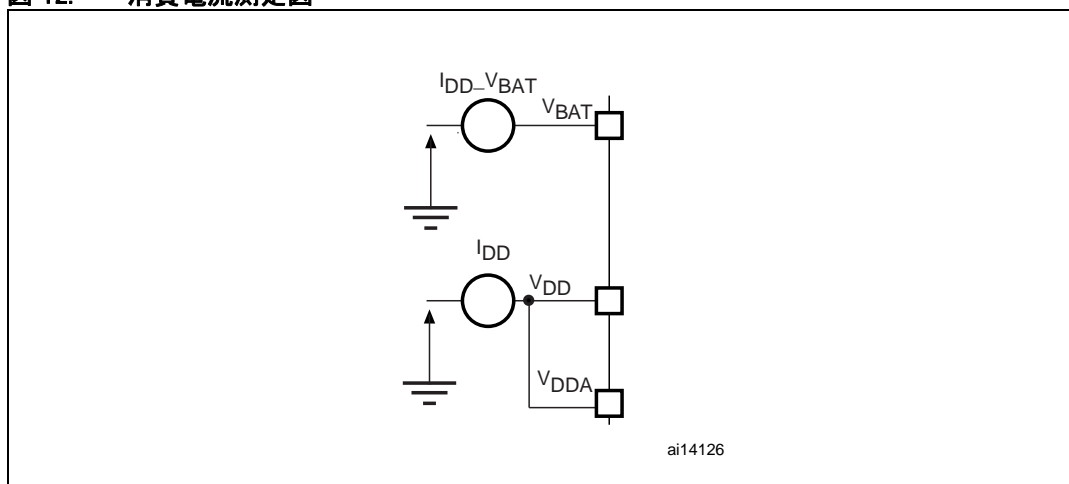
図 11. 電源供給図



警告: 図 11 において、4.7 μ F のコンデンサを V_{DD3} に接続しなければなりません。

5.1.7 消費電流測定

図 12. 消費電流測定図



5.2 絶対最大定格

表 5: 電圧特性、表 6: 電流特性、表 7: 熱特性 に示されている絶対最大定格以上のストレスは、デバイスに対して正常に復帰することができない損害を引き起こすことがあります。これらはストレスの定格だけで、この条件でのデバイスが動作するための機能については示していません。長期間、最大定格の状態にデバイスをおくと、信頼性に影響が出る場合があります。

表 5. 電圧特性

記号	定格	最小値	最大値	単位
$V_{DD} - V_{SS}$	外部供給電圧 (V_{DDA} と V_{DD} 含む) ⁽¹⁾	-0.3	4.0	V
V_{IN}	5V 耐性ピンの入力電圧 ⁽²⁾	$V_{SS} - 0.3$	+5.5	
	その他の耐性ピンの入力電圧 ⁽²⁾	$V_{SS} - 0.3$	$V_{DD} + 0.3$	
$ DV_{DDx} $	異なる電源ピン間の差	50	50	mV
$ V_{SSx} - V_{SS} $	すべての異なる GND ピン間の差	50	50	
$V_{ESD}(HBM)$	静電放電耐圧 (ヒューマン・ボディ・モデル)	セクション 5.3.11: 絶対最大定格 (電磁感度) を参照		

- すべての電源 (V_{DD} 、 V_{DDA}) と GND (V_{SS} 、 V_{SSA}) のピンは許可された範囲内で外部電源供給に接続しなければなりません。
- $I_{INJ(PIN)}$ は定格を超えることはできません (表 6: 電流特性を参照)。 V_{IN} が最大値にある場合は問題はありませんが、 V_{IN} の最大値を超える場合は、供給電流は $I_{INJ(PIN)}$ 値を限界にする必要があります。流入電流が $V_{IN} < V_{SS}$ により誘導されている間は、流出電流が $V_{IN} > V_{DD}$ により誘導されます。

表 6. 電流特性

記号	定格	最大値	単位
I_{VDD}	V_{DD} 電源ライン全電流 (ソース) ⁽¹⁾	150	mA
I_{VSS}	V_{SS} グランドライン全電流 (シンク) ⁽¹⁾	150	
I_{IO}	I/O と制御ピンによる出力シンク電流	25	
	I/O と制御ピンによる出力ソース電流	-25	
$I_{INJ(PIN)}$ ⁽²⁾⁽³⁾	NRST ピン注入電流	± 5	
	高速外部 OSC_IN ピン、低速外部 LSE OSC_IN ピン注入電流	± 5	
	その他のピンの注入電流 ⁽⁴⁾	± 5	
$\Sigma I_{INJ(PIN)}$ ⁽²⁾	全注入電流 (I/O ピンと制御ピンの合計) ⁽⁴⁾	± 25	

- すべての電源 (V_{DD} 、 V_{DDA}) とグランド (V_{SS} 、 V_{SSA}) のピンは許可された範囲内で外部電源供給に接続しなければなりません。
- $I_{INJ(PIN)}$ は定格を超えることはできません。 V_{IN} が最大値内にある場合は問題はありませんが、 V_{IN} が最大値を超える場合は、供給電流は $I_{INJ(PIN)}$ 値を限界にする必要があります。流入電流が $V_{IN} < V_{SS}$ により誘導されている間は、流出電流が $V_{IN} > V_{DD}$ により誘導されます。
- 流入電流はデバイスのアナログ性能を低下させます。セクション 5.3.17: 12bit ADC 特性の注意を参照してください。
- 複数の入力電流が供給されると、最大 $\Sigma I_{INJ(PIN)}$ の正と負の供給された電流 (瞬間値) の絶対値の合計になります。その結果はデバイスの 4 つの I/O ポート・ピン上の $\Sigma I_{INJ(PIN)}$ 最大供給電流の特性を基本としています。

表 7. 熱特性

記号	定格	値	単位
T_{STG}	保存温度範囲	-65 ~ +150	°C
T_J	最大ジャンクション温度	150	°C

5.3 動作条件

5.3.1 一般動作条件

表 8. 一般的な動作条件

記号	パラメータ	条件	最小値	最大値	単位
f_{HCLK}	内部 AHB クロック周波数		0	72	MHz
f_{PCLK1}	内部 APB1 クロック周波数		0	36	
f_{PCLK2}	内部 APB2 クロック周波数		0	72	
V_{DD}	標準動作電圧		2	3.6	V
$V_{DDA}^{(1)}$	アナログ動作電圧 (ADC 使用なし)	V_{DD} と同じ電位とする	2	3.6	V
	アナログ動作電圧 (ADC 使用)		2.4	3.6	
V_{BAT}	バックアップ動作電圧		1.8	3.6	V
P_D	サフィック 6 についての $T_A = 85^\circ\text{C}$ 、もしくはサフィックス 7 についての $T_A = 105^\circ\text{C}$ の消費電力 ⁽²⁾	LFBGA100		487	mW
		LQFP100		434	
		LQFP64		444	
		LQFP48		363	
		VFQFPN36		1110	
T_A	6 サフィック・バージョンの 周囲温度	最大消費電力	-40	+85	°C
		低消費電力 ⁽³⁾	-40	+105	
	7 サフィック・バージョンの 周囲温度	最大消費電力	-40	+105	°C
		低消費電力 ⁽³⁾	-40	+125	
T_J	ジャンクション温度範囲	6 サフィック・バージョン	-40	+105	°C
		7 サフィック・バージョン	-40	+125	

1. ADC を使用する場合は、[表 44: ADC 特性](#)を参照してください。
2. T_A が低い場合、 T_J が T_J 最大値を上回らない限り、高い P_D が許可されます。([表 6.2: 熱特性 \(75 ページ\)](#) 参照してください。)
3. 低電力消費ステートでは T_J が T_J 最大値を上回らない限り T_A は、この範囲まで広げることができます。([表 6.2: 熱特性 \(75 ページ\)](#) を参照してください。)

5.3.2 パワー・アップ / パワー・ダウン時の動作条件

T_A についての一般的な動作条件

表 9. パワーアップ / パワーダウン時の動作条件

記号	パラメータ	条件	最小値	最大値	単位
t_{VDD}	V_{DD} 立上り時間比		0	∞	$\mu s/V$
	V_{DD} 立下り時間比		20	∞	

5.3.3 内蔵リセット及び電源制御ブロック

表 10 で示されているパラメータは、表 8 でまとめた周囲温度及び V_{DD} 供給電圧で実行されたテストに基づいています。

表 10. 内蔵リセット及び電源制御ブロック特性

記号	パラメータ	条件	最小値	標準値	最大値	単位
V_{PVD}	プログラム可能な電圧検出レベル選択	PLS[2:0]=000 (立上りエッジ)	2.1	2.18	2.26	V
		PLS[2:0]=000 (立下りエッジ)	2	2.08	2.16	V
		PLS[2:0]=001 (立上りエッジ)	2.19	2.28	2.37	V
		PLS[2:0]=001 (立下りエッジ)	2.09	2.18	2.27	V
		PLS[2:0]=010 (立上りエッジ)	2.28	2.38	2.48	V
		PLS[2:0]=010 (立下りエッジ)	2.18	2.28	2.38	V
		PLS[2:0]=011 (立上りエッジ)	2.38	2.48	2.58	V
		PLS[2:0]=011 (立下りエッジ)	2.28	2.38	2.48	V
		PLS[2:0]=100 (立上りエッジ)	2.47	2.58	2.69	V
		PLS[2:0]=100 (立下りエッジ)	2.37	2.48	2.59	V
		PLS[2:0]=101 (立上りエッジ)	2.57	2.68	2.79	V
		PLS[2:0]=101 (立下りエッジ)	2.47	2.58	2.69	V
		PLS[2:0]=110 (立上りエッジ)	2.66	2.78	2.9	V
		PLS[2:0]=110 (立下りエッジ)	2.56	2.68	2.8	V
		PLS[2:0]=111 (立上りエッジ)	2.76	2.88	3	V
		PLS[2:0]=111 (立下りエッジ)	2.66	2.78	2.9	V
$V_{PVDhyst}^{(2)}$	PVD ヒステリシス			100		mV
$V_{POR/PDR}$	パワー・オン / パワー・ダウン・リセット・スレシールド	立下りエッジ	1.8 ⁽¹⁾	1.88	1.96	V
		立上りエッジ	1.84	1.92	2.0	V
$V_{PDRhyst}^{(2)}$	PDR ヒステリシス			40		mV
$T_{RSTTEMPO}^{(2)}$	リセット時間		1	2.5	4.5	ms

1. 製品の動作は最小の $V_{POR/PDR}$ 値まで設計により保証されています。
2. 設計で保証されているため、生産時はテストを行いません。

5.3.4 内部基準電圧

表 11 で示されているパラメータは、表 8 でまとめた周囲温度条件で実行されたテストに基づいています。

表 11. 内部基準電圧

記号	パラメータ	条件	最小値	標準値	最大値	単位
V_{REFINT}	内部基準電圧	$-40\text{ }^{\circ}\text{C} < T_A < +105\text{ }^{\circ}\text{C}$	1.16	1.20	1.26	V
		$-40\text{ }^{\circ}\text{C} < T_A < +85\text{ }^{\circ}\text{C}$	1.16	1.20	1.24	V
$T_{S_vrefint}^{(1)}$	内部基準電圧を読み込み時の ADC サンプリング時間			5.1	17.1 ⁽²⁾	μs

1. 最短サンプリング時間は、複数回の繰返しによりアプリケーションで決めることができます。
2. 設計で保証されているため、生産時はテストを行いません。

5.3.5 供給電流特性

消費電流は図 12: 消費電流測定図で示されている方法で測定します。

最大消費電流

MCU は以下の条件で設定されています。:

- すべての I/O ピンは V_{DD} もしくは V_{SS} でスタティック値の入力モードになります (負荷無し)。
- すべてのペリフェラルは、使用していない場合は禁止状態です。
- Flash メモリのアクセス時間は f_{HCLK} の周波数で調整します。(0 ~ 24MHz で 0 ウェイト・ステート、24 ~ 48MHz で 1 ウェイト・ステート、48MHz 以上では 2 ウェイト・ステート)
- プリフェッチは ON です。(このビットは、クロック設定とバスのプリスケールを行う前に設定しなければなりません。)
- ペリフェラルは $f_{PCLK1} = f_{HCLK}/2$ 、 $f_{PCLK2} = f_{HCLK}$ でイネーブルになります。

表 12、表 13、表 14 で示されているパラメータは、表 8 でまとめた周囲温度と V_{DD} 供給電圧条件で実行されたテストに基づいています。

表 12. Flash からのデータ・プロセス動作コードによる Run モードでの最大消費電流

記号	パラメータ	条件	f_{HCLK}	最大値 ⁽¹⁾		単位
				$T_A = +85\text{ }^{\circ}\text{C}$	$T_A = +105\text{ }^{\circ}\text{C}$	
I_{DD}	Run モード の供給電流	外部クロック ⁽²⁾ 、すべてのペリフェラルはイネーブル	72 MHz	50	50.3	mA
			48 MHz	36.1	36.2	
			36 MHz	28.6	28.7	
			24 MHz	19.9	20.1	
			16 MHz	14.7	14.9	
			8 MHz	8.6	8.9	
		外部クロック ⁽³⁾ 、すべてのペリフェラルはディセーブル	72 MHz	32.8	32.9	
			48 MHz	24.4	24.5	
			36 MHz	19.8	19.9	
			24 MHz	13.9	14.2	
			16 MHz	10.7	11	
			8 MHz	6.8	7.1	

- 特性を基本として、 V_{DD} 最大値、 f_{HCLK} 最大値で生産時はテストを行います。
- $f_{HCLK} > 8\text{ MHz}$ 時に外部クロックは 8 MHz で PLL は ON になります。

表 13. RAM からのデータ・プロセス動作コードによる Run モードでの最大消費電流

記号	パラメータ	条件	f_{HCLK}	最大値 ⁽¹⁾		単位
				$T_A = +85\text{ }^{\circ}\text{C}$	$T_A = +105\text{ }^{\circ}\text{C}$	
I_{DD}	Run モード の供給電流	外部クロック ⁽²⁾ 、すべてのペリフェラルがイネーブル	72 MHz	48	50	mA
			48 MHz	31.5	32	
			36 MHz	24	25.5	
			24 MHz	17.5	18	
			16 MHz	12.5	13	
			8 MHz	7.5	8	
		外部クロック ⁽²⁾ 、すべてのペリフェラルがディセーブル	72 MHz	29	29.5	
			48 MHz	20.5	21	
			36 MHz	16	16.5	
			24 MHz	11.5	12	
			16 MHz	8.5	9	
			8 MHz	5.5	6	

- 特性を基本として、 V_{DD} 最大値、 f_{HCLK} 最大値で生産時はテストを行います。
- $f_{HCLK} > 8\text{ MHz}$ 時に外部クロックは 8 MHz で PLL は ON になります。

図 13. Run モードの標準消費電流 対 周波数 (3.6 V 動作時) -
RAM からのデータ・プロセス動作コード、ペリフェラルはイネーブル

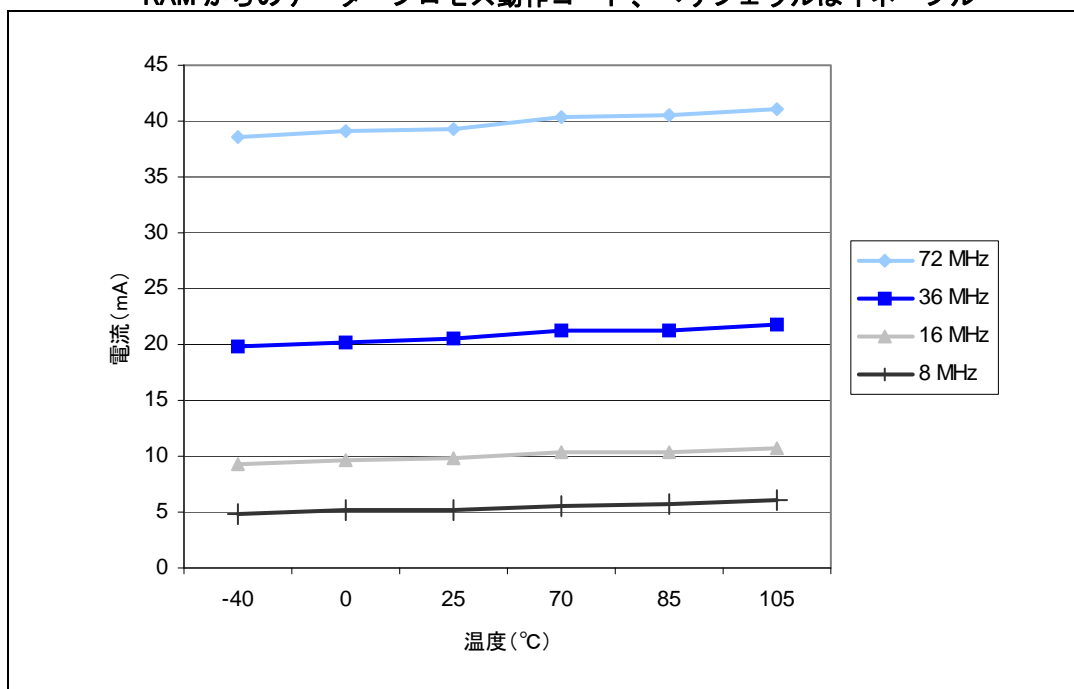


図 14. Run モードの標準消費電流 対 周波数 (3.6 V 動作時) -
RAM からのデータ・プロセス動作コード、ペリフェラルはディセーブル

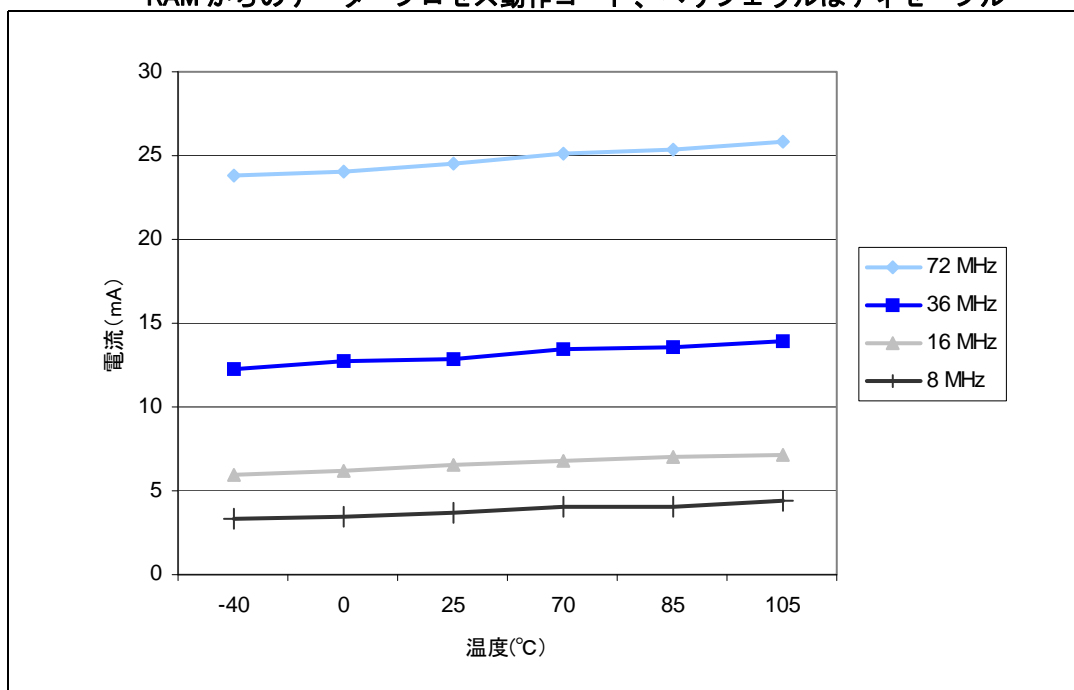


表 14. Flash または RAM からのコード動作による SLEEP モードの最大消費電流

記号	パラメータ	条件	f _{HCLK}	最大値 ⁽¹⁾		単位
				T _A = +85 °C	T _A = +105 °C	
I _{DD}	SLEEP モード の供給電流	外部クロック ⁽²⁾ 、すべての ペリフェラルはイネーブル	72 MHz	30	32	mA
			48 MHz	20	20.5	
			36 MHz	15.5	16	
			24 MHz	11.5	12	
			16 MHz	8.5	9	
			8 MHz	5.5	6	
		外部クロック ⁽²⁾ 、すべての ペリフェラルはディセーブル	72 MHz	7.5	8	
			48 MHz	6	6.5	
			36 MHz	5	5.5	
			24 MHz	4.5	5	
			16 MHz	4	4.5	
			8 MHz	3	4	

- 1. 特性を基本として、V_{DD} 最大値、f_{HCLK} 最大値で生産時はテストを行います。
- 2. f_{HCLK} > 8 MHz 時に外部クロックは 8 MHz で PLL は ON になります。

参考資料

電気的特性

STM32F103x6, STM32F103x8, STM32F103xB

表 15. STOP 及び STANDBY モードの標準と最大消費電流

記号	パラメータ	条件	標準値 ⁽¹⁾		最大値		単位
			$V_{DD}/V_{BAT} = 2.4\text{ V}$	$V_{DD}/V_{BAT} = 3.3\text{ V}$	$T_A = +85\text{ }^{\circ}\text{C}$	$T_A = +105\text{ }^{\circ}\text{C}$	
I_{DD}	STOP モードの供給電流	Run モード内レギュレータ、低速及び高速内部 RC オシレータと高速オシレータは OFF (独立型ウォッチドッグ無し)	23.5	24	200	370	μA
		低電力モード内レギュレータ、低速及び高速内部 RC オシレータと高速オシレータは OFF (独立型ウォッチドッグ無し)	13.5	14	180	340	
	STANDBY モードの供給電流	低速内部 RC オシレータ及び独立型ウォッチドッグは ON	2.6	3.4	–	–	
		低速内部 RC オシレータは ON、独立型ウォッチドッグは OFF	2.4	3.2	–	–	
		低速内部 RC オシレータ及び独立型ウォッチドッグは OFF、低速オシレータ及び RTC は OFF	1.7	2	3.2	5	
I_{DD_VBAT}	バックアップ・ドメイン供給電流	低速オシレータ及び RTC は ON	1.1	1.4	1.9 ⁽²⁾	2.2	

- 標準値は $T_A = 25\text{ }^{\circ}\text{C}$ で測定しています。
- 特性を基本としているため、生産時はテストを行いません。

図 15. $V_{DD} = 3.3\text{ V}$ と 3.6 V 動作時の Run モードのレギュレータ付 STOP モード標準消費電流 対 温度

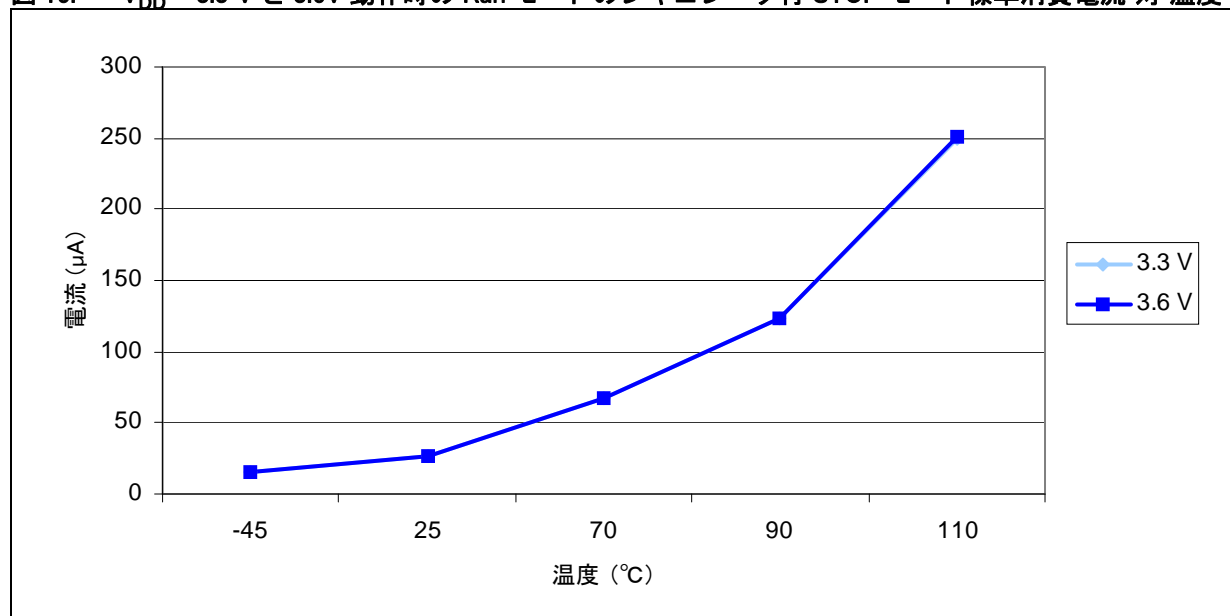


図 16. $V_{DD} = 3.3\text{ V}$ と 3.6 V 動作時の低電力モードのレギュレータ付 STOP モード消費電流 対 温度

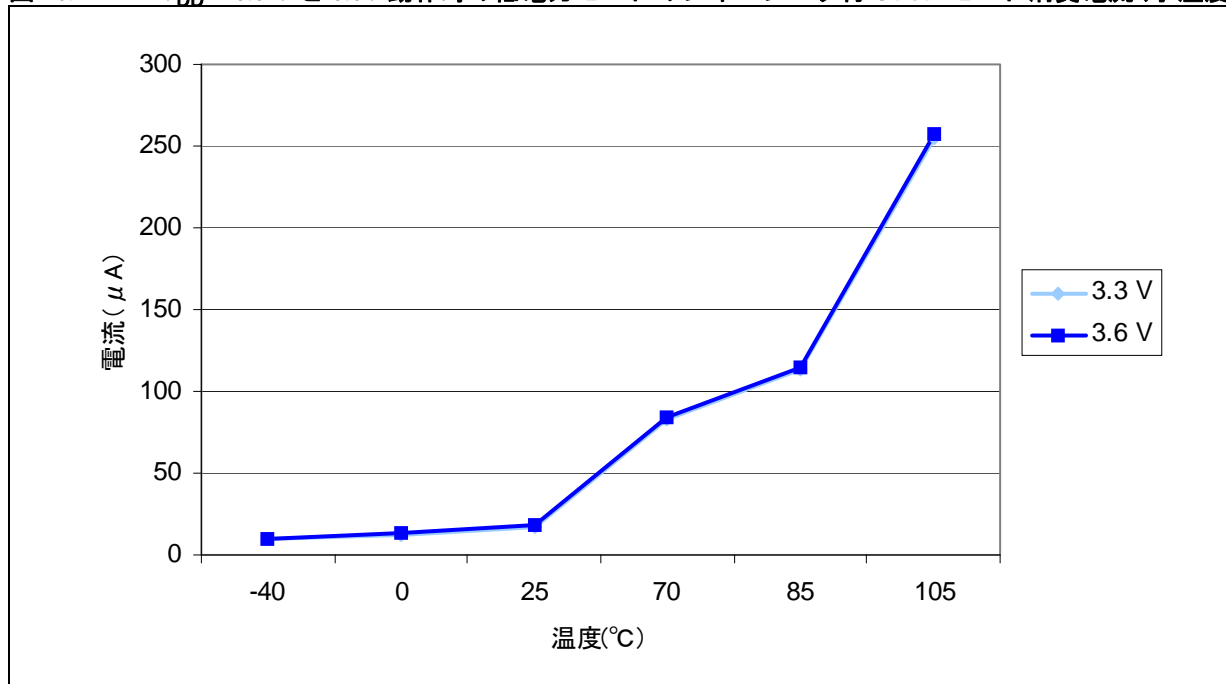
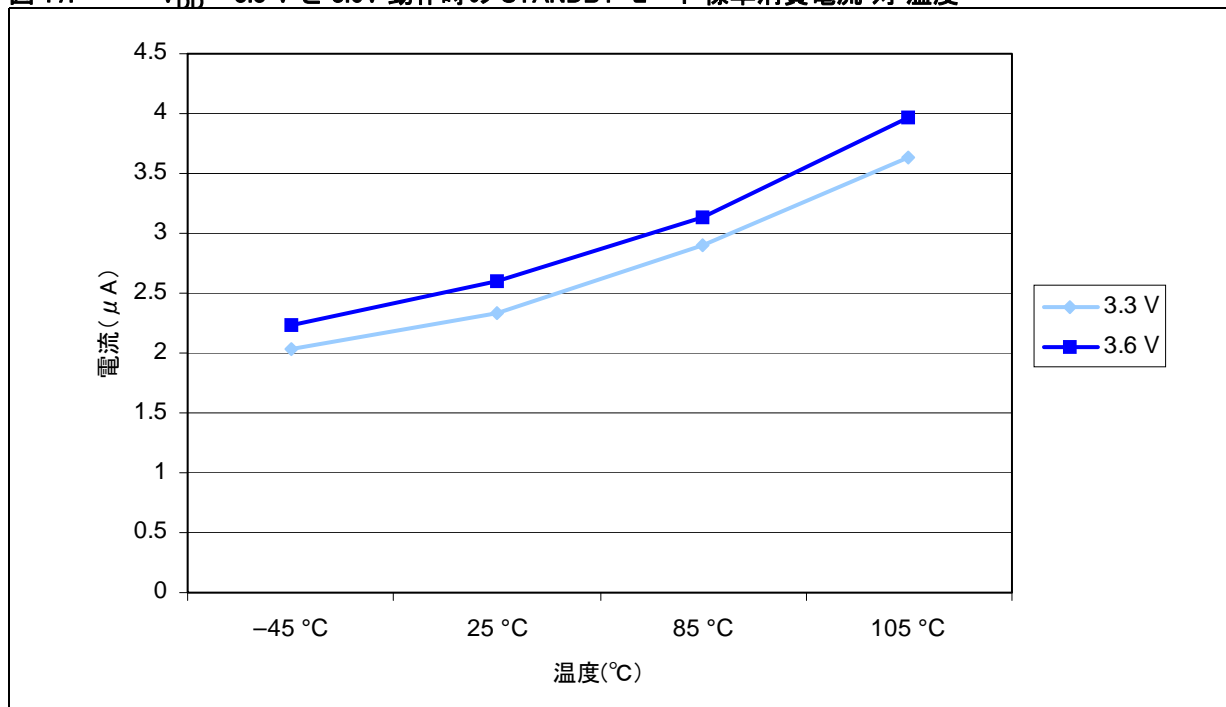


図 17. $V_{DD} = 3.3\text{ V}$ と 3.6 V 動作時の STANDBY モード標準消費電流 対 温度



標準消費電流

MCU は以下の条件で設定されています。：

- すべての I/O ピンは V_{DD} もしくは V_{SS} でスタティック値の入力モードになります (負荷無し)。
- すべてのペリフェラルは、明確に使用が決められている以外は禁止状態になります。
- Flash のアクセス時間は f_{HCLK} 周波数で調整します。(0 ~ 24 MHz で 0 ウェイトステート、24 ~ 48 MHz で 1 ウェイトステート、48 MHz 以上の周波数で 2 ウェイトステート)
- 表 8 に周囲温度と V_{DD} 供給電圧がまとめられています。
- プリフェッチは ON です。(このビットは、クロック設定とバスのプリスケールを行う前に設定しなければなりません。)
- ペリフェラルは $f_{PCLK1} = f_{HCLK}/4$ 、 $f_{PCLK2} = f_{HCLK}/2$ 、 $f_{ADCCLK} = f_{PCLK2}/4$ でイネーブルになります。

表 16. Flash からのデータ・プロセス動作コードによる Run モードでの標準消費電流

記号	パラメータ	条件	f_{HCLK}	標準値 ⁽¹⁾		単位
				全ペリフェラルイネーブル ⁽²⁾	全ペリフェラルディセーブル	
I_{DD}	Run モードの供給電流	外部クロック ⁽³⁾	72 MHz	36	27	mA
			48 MHz	24.2	18.6	
			36 MHz	19	14.8	
			24 MHz	12.9	10.1	
			16 MHz	9.3	7.4	
			8 MHz	5.5	4.6	
			4 MHz	3.3	2.8	
			2 MHz	2.2	1.9	
			1 MHz	1.6	1.45	
			500 kHz	1.3	1.25	
			125 kHz	1.08	1.06	
		高速内部 RC (HSI) で動作、AHB プリスケールは周波数を低減	64 MHz	31.4	23.9	mA
			48 MHz	23.5	17.9	
			36 MHz	18.3	14.1	
			24 MHz	12.2	9.5	
			16 MHz	8.5	6.8	
			8 MHz	4.9	4	
			4 MHz	2.7	2.2	
			2 MHz	1.6	1.4	
			1 MHz	1.02	0.9	
			500 kHz	0.73	0.67	
			125 kHz	0.5	0.48	

1. 標準値は $T_A = 25^\circ\text{C}$ 、 $V_{DD} = 3.3\text{ V}$ で測定しています。
2. アナログ部分について ADC ごとに 0.8mA の追加の消費電力を加えます。アプリケーションで、ADC が ON (ADON ビットは ADC_CR2 レジスタに設定) の間のみ、この消費電力が発生します。

3. $f_{HCLK} > 8 \text{ MHz}$ 時に外部クロックは 8 MHz で PLL は ON になります。

表 17. Flash または RAM からのデータ・プロセス動作コードによる SLEEP モードの標準消費電流

記号	パラメータ	条件	f_{HCLK}	標準値 ⁽¹⁾		単位
				全ペリフェラルをイネーブル ⁽²⁾	全ペリフェラルをディセーブル	
I_{DD}	SLEEP モードの供給電流	外部クロック ⁽³⁾	72 MHz	14.4	5.5	mA
			48 MHz	9.9	3.9	
			36 MHz	7.6	3.1	
			24 MHz	5.3	2.3	
			16 MHz	3.8	1.8	
			8 MHz	2.1	1.2	
			4 MHz	1.6	1.1	
			2 MHz	1.3	1	
			1 MHz	1.11	0.98	
			500 kHz	1.04	0.96	
			125 kHz	0.98	0.95	
		高速内部 RC (HSI) で動作、AHB ブリスケーラは周波数を低減	64 MHz	12.3	4.4	
			48 MHz	9.3	3.3	
			36 MHz	7	2.5	
			24 MHz	4.8	1.8	
			16 MHz	3.2	1.2	
			8 MHz	1.6	0.6	
			4 MHz	1	0.5	
			2 MHz	0.72	0.47	
			1 MHz	0.56	0.44	
			500 kHz	0.49	0.42	
			125 kHz	0.43	0.41	

- 標準値は $T_A = +25^\circ\text{C}$ 、 $V_{DD} = 3.3 \text{ V}$ で測定しています。
- アナログ部分について ADC ごとに 0.8mA の追加の消費電力を加えます。アプリケーションで、ADC が ON (ADON ビットは ADC_CR2 レジスタに設定) の間のみ、この消費電力が発生します。
- $f_{HCLK} > 8 \text{ MHz}$ 時に外部クロックは 8 MHz で PLL は ON になります。

チップ上のペリフェラル消費電流

チップ上のペリフェラル消費電流については表 18 を参照してください。MCU は以下の条件で設定されています：

- すべての I/O ピンは V_{DD} もしくは V_{SS} でスタティック値の入力モードになります（負荷無し）。
- すべてのペリフェラルは、使用されない場合は禁止状態になります。
- 示されている値は消費電流測定により計算されています。
 - － すべてのペリフェラルがクロック・オフ
 - － 1 つのペリフェラルだけがクロック・オン
- 周囲動作温度と V_{DD} 供給電圧条件は表 5 にまとめています。

表 18. ペリフェラル消費電流⁽¹⁾

ペリフェラル		+25 °C の標準電流	単位
APB1	TIM2	1.2	mA
	TIM3	1.2	
	TIM4	0.9	
	SPI2	0.2	
	USART2	0.35	
	USART3	0.35	
	I2C1	0.39	
	I2C2	0.39	
	USB	0.65	
	CAN	0.72	
APB2	GPIO A	0.47	mA
	GPIO B	0.47	
	GPIO C	0.47	
	GPIO D	0.47	
	GPIO E	0.47	
	ADC1 ⁽²⁾	1.81	
	ADC2	1.78	
	TIM1	1.6	
	SPI1	0.43	
	USART1	0.85	

1. $f_{HCLK} = 72\text{MHz}$ 、 $f_{APB1} = f_{HCLK}/2$ 、 $f_{APB2} = f_{HCLK}$ は、各々のペリフェラルについてのデフォルト・プリスケアラ値になります。
2. ADC 特定条件： $f_{HCLK} = 56\text{MHz}$ 、 $f_{APB1} = f_{HCLK}/2$ 、 $f_{APB2} = f_{HCLK}$ 、 $f_{ADCCLK} = f_{APB2}/4$ 、ADC_CR2 レジスタの ADON bit は 1 に設定します。

5.3.6 外部クロック・ソース特性

外部ソースからの高速外部ユーザ・クロック生成

表 19 で示されている特性は、高速外部クロック・ソースを使い表 8 にまとめている周囲温度と供給電圧条件のもとでテストされた結果です。

表 19. 高速外部ユーザ・クロック特性

記号	パラメータ	条件	最小値	標準値	最大値	単位
f_{HSE_ext}	ユーザ外部クロック・ソース周波数 ⁽¹⁾		0	8	25	MHz
V_{HSEH}	OSC_IN 入力ピン H レベル電圧		$0.7V_{DD}$		V_{DD}	V
V_{HSEL}	OSC_IN 入力ピン L レベル電圧		V_{SS}		$0.3V_{DD}$	
$t_{w(HSE)}$ $t_{w(HSE)}$	OSC_IN ハイまたはロー時間 ⁽¹⁾		16			ns
$t_{r(HSE)}$ $t_{f(HSE)}$	OSC_IN 立上りまたは立下り時間 ⁽¹⁾				5	
I_L	OSC_IN 入力リーク電流	$V_{SS} \leq V_{IN} \leq V_{DD}$			± 1	μA

1. 設計で保証されているため、生産時はテストを行いません。

外部ソースからの低速外部ユーザ・クロック生成

表 20 で示されている特性は低速外部クロック・ソースを使い、表 8 にまとめている周囲温度と供給電圧条件のもとでテストされた結果です。

表 20. 低速外部ユーザ・クロック特性

記号	パラメータ	条件	最小値	標準値	最大値	単位
f_{LSE_ext}	ユーザ外部クロックソース周波数 ⁽¹⁾			32.768	1000	kHz
V_{LSEH}	OSC32_IN 入力ピン H レベル電圧		$0.7V_{DD}$		V_{DD}	V
V_{LSEL}	OSC32_IN 入力ピン L レベル電圧		V_{SS}		$0.3V_{DD}$	
$t_{w(LSE)}$ $t_{w(LSE)}$	OSC32_IN ハイまたはロー時間 ⁽¹⁾		450			ns
$t_{r(LSE)}$ $t_{f(LSE)}$	OSC32_IN 立上りまたは立下り時間 ⁽¹⁾				5	
I_L	OSC32_IN 入力リーク電流	$V_{SS} \leq V_{IN} \leq V_{DD}$			± 1	μA

1. 設計で保証されているため、生産時はテストを行いません。

図 18. 高速外部クロック・ソース AC タイミング図

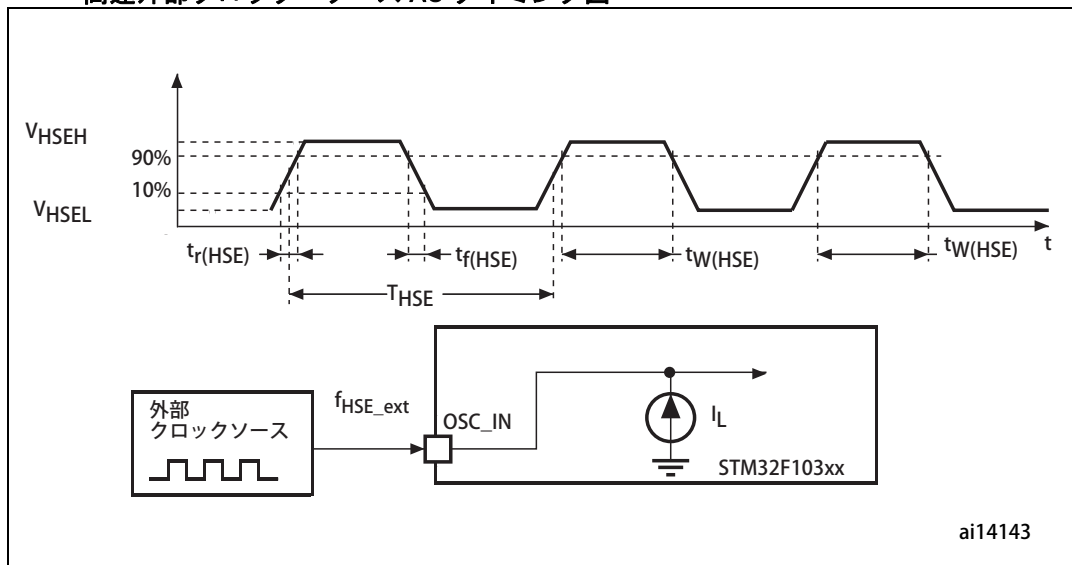
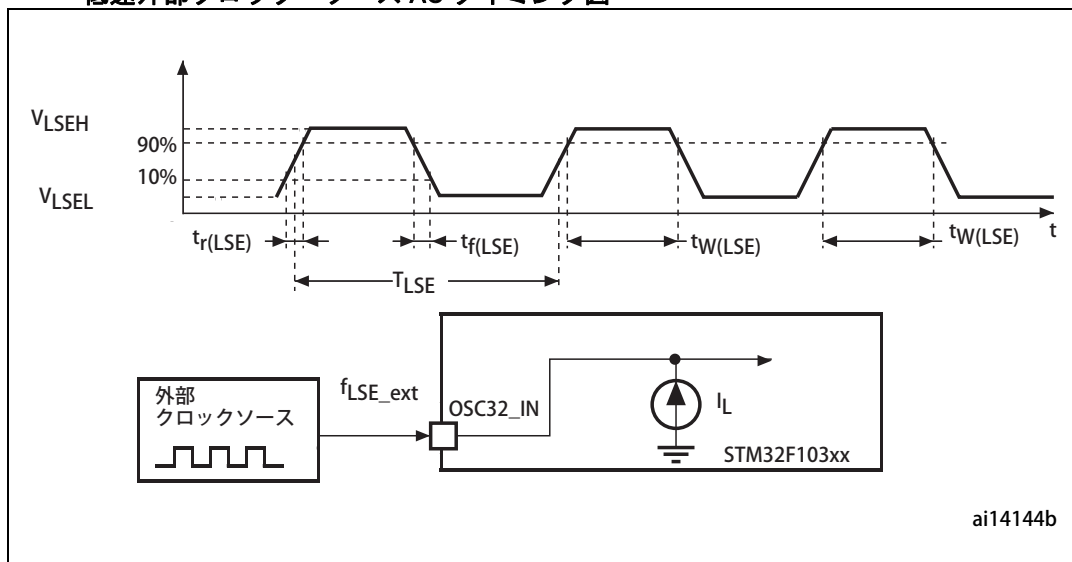


図 19. 低速外部クロック・ソース AC タイミング図



クリスタル / セラミック発振子からの高速外部クロック生成

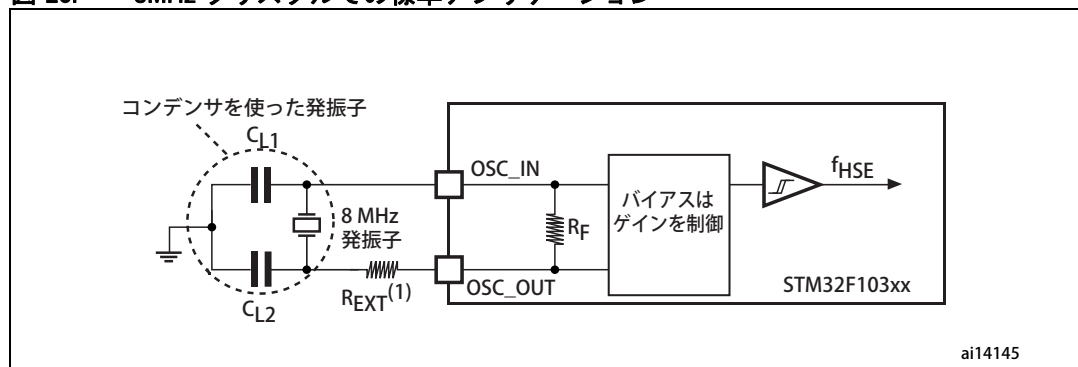
高速外部 (HSE) クロックは、4 ~ 16 MHz のクリスタル / セラミック発振子オシレータから供給を受けます。この項目の全ての情報は、[表 21: HSE 4 ~ 16 MHz オシレータ特性](#)で示されている標準的な外付け部品から得られた特性結果に基づいています。アプリケーションにおいて、発振子と負荷のコンデンサは、出力歪を最小限にするのとスタートアップ時間を安定化するために、できるだけオシレータのピンのそばに配置する必要があります。発振子の特性（周波数、パッケージ、精度）についてさらに詳しい情報はクリスタル発振子の製造業者に問い合わせてください。

表 21. HSE 4 ~ 16 MHz オシレータ特性⁽¹⁾⁽²⁾

記号	パラメータ	条件	最小値	標準値	最大値	単位
f_{OSC_IN}	オシレータ周波数		4	8	16	MHz
R_F	フィードバック抵抗			200		k Ω
C_{L1} $C_{L2}^{(3)}$	推奨負荷容量 対 オシレータ の等価直列抵抗 (R_S) ⁽⁴⁾	$R_S = 30 \Omega$		30		pF
i_2	HSE ドライブ電流	$V_{DD} = 3.3 V$ $V_{IN} = V_{SS}$ と 30 pF 負荷			1	mA
g_m	オシレータ・トランスコン ダクタンス	スタートアップ	25			mA/V
$t_{SU(HSE)}^{(5)}$	スタートアップ時間	V_{DD} が安定		2		ms

1. 発振子の特性はクリスタル / セラミック発振子製造業者により提供されます。
2. 特性を基本としているため、生産時はテストを行いません。
3. 高周波アプリケーションを設計する場合、クリスタルや発振子の要求仕様に適合するために C_{L1} と C_{L2} について、5 pF ~ 25pF (標準) の範囲で高品質のセラミック・コンデンサを使うことが推奨されています。 C_{L1} と C_{L2} は通常同じサイズです。クリスタル製造業者は、 C_{L1} と C_{L2} の直列の組み合わせによる標準の負荷容量を指定しています。 C_{L1} と C_{L2} の容量サイズを決める場合は、PCB と MCU ピンの容量を含める必要があります。(10 pF がピンとボードの組み合わせの容量の概算値として使うことができます。)
4. リーク電流の誘導とバイアス条件の変化により湿気の多い環境下で発生する問題に対して RF 抵抗の相対的に低い値は十分な保護機能を提供します。そのため、MCU が厳しい湿度条件で使われる場合は、この点を考慮する必要があります。
5. $t_{SU(LSE)}$ は (ソフトウェアにより) 開始された時点から安定した 8MHz の発振までに到達するまでを測定したスタートアップ時間です。この値は標準クリスタル発振子について測定しており、クリスタルの製造業者により値は異なります。

図 20. 8MHz クリスタルでの標準アプリケーション



1. R_{EXT} の値はクリスタルの特性に依存するため、標準値は 5 ~ 6 R_S の範囲になります。

クリスタル / セラミック発振子からの低速外部クロック生成

低速外部 (LSE) クロックは、32.768kHz のクリスタル / セラミック発振子オシレータから供給を受けます。この項目の全ての情報は、表 22 で示されている標準的な外付け部品から得られた特性結果に基づいています。アプリケーションにおいて、発振子と負荷のコンデンサは、出力歪を最小限にするのとスタートアップ時間を安定化するために、できるだけオシレータのピンのそば

に配置する必要があります。発振子の特性（周波数、パッケージ、精度）についてさらに詳しい情報はクリスタル発振子の製造業者に問い合わせてください。

注意

クリスタルや発振子の要求仕様に適合するために C_{L1} と C_{L2} について、 $5\text{pF} \sim 15\text{pF}$ の範囲で高品質のセラミック・コンデンサを使うことが推奨されています。 C_{L1} と C_{L2} は通常同じサイズです。クリスタル製造業者は、 C_{L1} と C_{L2} の直列の組み合わせによる標準の負荷容量を指定しています。
負荷容量 C_L は以下の公式で求めることができます。: $C_L = C_{L1} \times C_{L2} / (C_{L1} + C_{L2}) + C_{\text{stray}}$
 C_{stray} はピン容量と基板もしくは PCB に関連した容量になります。通常は $2\text{pF} \sim 7\text{pF}$ の間の値になります。

警告:

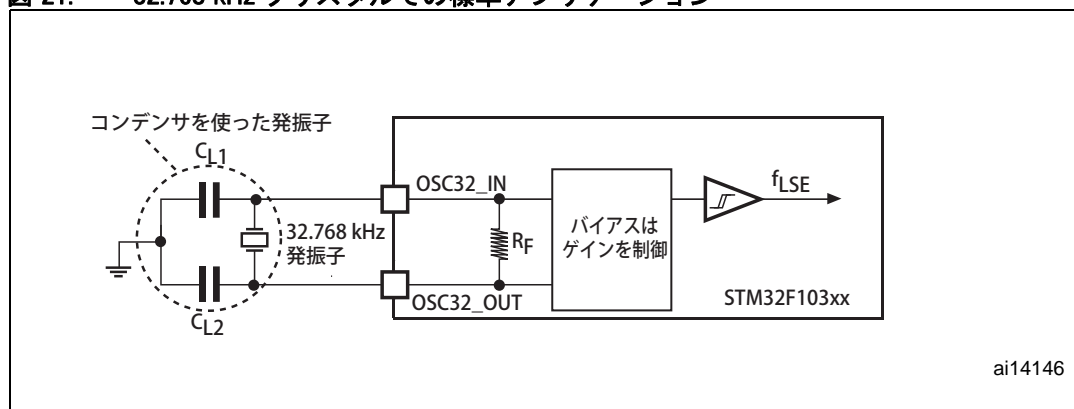
C_{L1} と C_{L2} (15pF) の最大値を超えないようにするためには、負荷容量が $C_L \leq 7\text{pF}$ の発振子を使用することが強く推奨されています。 12.5pF の負荷容量を持つ発振子を使用することはできません。
例: $C_L = 6\text{pF}$ の容量負荷の発振子と $C_{\text{stray}} = 2\text{pF}$ では、 $C_{L1} = C_{L2} = 8\text{pF}$ になります。

表 22. LSE オシレータ特性 ($f_{\text{LSE}} = 32.768\text{kHz}$) ⁽¹⁾

記号	パラメータ	条件	最小値	標準値	最大値	単位
R_F	フィードバック抵抗			5		$\text{M}\Omega$
C_{L1} C_{L2} ⁽²⁾	推奨負荷容量 対 クリスタルの等価直列抵抗 (R_S) ⁽³⁾	$R_S = 30\text{K}\Omega$			15	pF
I_2	LSE ドライブ電流	$V_{\text{DD}} = 3.3\text{V}$ $V_{\text{IN}} = V_{\text{SS}}$			1.4	μA
g_m	オシレータ・トランスコンダクタンス		5			$\mu\text{A}/\text{V}$
$t_{\text{SU(LSE)}}^{(4)}$	スタートアップ時間	V_{DD} が安定		3		s

- 特性を基本としているため、生産時はテストを行いません。
- 注釈を参照して、表のパラグラフに注意してください。
- オシレータの選択は、MSIV-TIN32.768kHz の例のような小さな R_S 値の高品質な発振子を使用して消費電流で最適化をすることができます。詳細についてはクリスタル製造業者に問い合わせてください。
- $t_{\text{SU(LSE)}}$ は（ソフトウェアにより）開始された時点から安定した 32.768kHz の発振までに到達するまでを測定したスタートアップ時間です。この値は標準クリスタル発振子について測定しており、クリスタルの製造業者により値は異なります。

図 21. 32.768 kHz クリスタルでの標準アプリケーション



5.3.7 内部クロック・ソース特性

表 23 で示されているパラメータは、表 8 でまとめた周囲温度と V_{DD} 供給電圧条件で実行されたテストに基づいています。

高速内部 (HSI) RC オシレータ

表 23. HSI オシレータ特性^{(1) (2)}

記号	パラメータ	条件	最小値	標準値	最大値	単位
f_{HSI}	周波数			8		MHz
ACC_{HSI}	HSI オシレータ精度	$T_A = -40 \sim +105\text{ }^{\circ}\text{C}$		± 1	± 3	%
		$T_A = -10 \sim +85\text{ }^{\circ}\text{C}$		± 1	± 2.5	%
		$T_A = 0 \sim +70\text{ }^{\circ}\text{C}$		± 1	± 2.2	%
		$T_A = +25\text{ }^{\circ}\text{C}$		± 1	± 2	%
$t_{su(HSI)}$	HSI オシレータ・スタートアップ時間		1		2	μs
$I_{DD(HSI)}$	HSI オシレータ消費電流			80	100	μA

1. 設計で保証されているため、生産時はテストを行いません。
2. 特に明記しない限り、 $V_{DD} = 3.3\text{ V}$ 、 $T_A = -40 \sim +105\text{ }^{\circ}\text{C}$ になります。

低速内部 (LSI) RC オシレータ

表 24. LSI オシレータ特性⁽¹⁾

記号	パラメータ	最小値	標準値	最大値	単位
$f_{LSI}^{(2)}$	周波数	30	40	60	kHz
$t_{su(LSI)}^{(3)}$	LSI オシレータ・スタートアップ時間			85	μs
$I_{DD(LSI)}^{(3)}$	LSI オシレータ消費電流		0.65	1.2	μA

1. 特に明記しない限り、 $V_{DD} = 3\text{ V}$ 、 $T_A = -40 \sim +105\text{ }^{\circ}\text{C}$ になります。
2. 特性を基本としているため、生産時はテストを行いません。
3. 設計で保証されているため、生産時はテストを行いません。

低電力モードからのウェークアップ時間

表 25 で示されているウェークアップ時間は、8MHz の HSI RC オシレータのウェークアップ・フェーズで測定されています。デバイスをウェークアップするために使われるクロック・ソースは、現在の動作モードに依存します。:

- STOP もしくは STANDBY モード: クロック・ソースは RC オシレータ
- SLEEP モード: クロック・ソースは SLEEP モードに入る前に設定されたクロック

すべてのタイミングは、表 8 でまとめた周囲温度と V_{DD} 供給電圧条件で実行されたテストに基づいています。

表 25. 低電力モード・ウェークアップ時間

記号	パラメータ	条件	標準値	単位
$t_{WUSLEEP}^{(1)}$	SLEEP モードからのウェークアップ	HSI RC クロックのウェークアップ	1.8	μs
$t_{WUSTOP}^{(1)}$	STOP モードからのウェークアップ (Run モードのレギュレータ)	HSI RC ウェークアップ時間 = $2 \mu s$	3.6	μs
	STOP モードからのウェークアップ (低電力モードのレギュレータ)	HSI RC ウェークアップ時間 = $2 \mu s$ 、LP モードからのレギュレータ・ウェークアップ時間 = $5 \mu s$	5.4	
$t_{WUSTDBY}^{(1)}$	STANDBY モードからのウェークアップ	HSI RC ウェークアップ時間 = $2 \mu s$ 、パワーダウンのレギュレータ・ウェークアップ時間 = $38 \mu s$	50	μs

- ウェークアップ時間はウェークアップ・イベントからユーザ・アプリケーション・コードの最初の命令が読み込まれるポイントが測定されます。

5.3.8 PLL 特性

表 26 で示されているパラメータは、表 8 でまとめた周囲温度と V_{DD} 供給電圧条件で実行されたテストに基づいています。

表 26. PLL 特性

記号	パラメータ	テスト条件	値			単位
			最小値 ⁽¹⁾	標準値	最大値 ⁽¹⁾	
f_{PLL_IN}	PLL 入力クロック ⁽²⁾		1	8.0	25	MHz
	PLL 入力クロック・デューティサイクル		40		60	%
f_{PLL_OUT}	PLL マルチプライア出力クロック		16		72	MHz
t_{LOCK}	PLL ロック時間				200	μs

- 特性を基本にしているため、生産時はテストを行いません。
- PLL 入力クロック値は f_{PLL_OUT} によって定義される範囲内で対応するために適切なマルチプライア・ファクタを使用するように注意してください。

5.3.9 メモリ特性

Flash メモリ

特に指定がない限り、特性は $T_A = -40 \sim +105^\circ C$ になります。

表 27. Flash メモリ特性

記号	パラメータ	条件	最小値 ⁽¹⁾	標準値	最大値 ⁽¹⁾	単位
t_{prog}	16bit プログラミング時間	$T_A = -40 \sim +105^\circ C$	40	52.5	70	μs

表 27. Flash メモリ特性

記号	パラメータ	条件	最小値 (1)	標準値	最大値 (1)	単位
t_{ERASE}	ページ (1 KB) 消去時間	$T_A = -40 \sim +105\text{ }^{\circ}\text{C}$	20		40	ms
t_{ME}	全体消去時間	$T_A = -40 \sim +105\text{ }^{\circ}\text{C}$	20		40	ms
I_{DD}	供給電流	読み込みモード $f_{HCLK} = 72\text{ MHz}$ (2 ウェイト ステート)、 $V_{DD} = 3.3\text{ V}$			20	mA
		書き込み / 消去モード $f_{HCLK} = 72\text{ MHz}$ 、 $V_{DD} = 3.3\text{ V}$			5	mA
		パワーダウンモード / Halt、 $V_{DD} = 3.0 \sim 3.6\text{ V}$			50	μA
V_{prog}	プログラミング電圧		2		3.6	V

1. 設計で保証されているため、生産時はテストを行いません。

表 28. Flash メモリの書き換え回数と保持期間

記号	パラメータ	条件	値			単位
			最小値 (1)	標準 値	最大 値	
N_{END}	書き換え回数	$T_A = -40 \sim +85\text{ }^{\circ}\text{C}$ (6 サフィックス・バージョン) $T_A = -40 \sim +105\text{ }^{\circ}\text{C}$ (7 サフィックス・バージョン)	10			k サイクル
t_{RET}	データ保持期間	$T_A = +85\text{ }^{\circ}\text{C}$ で 1 k サイクル ⁽²⁾	30			年
		$T_A = +105\text{ }^{\circ}\text{C}$ で 1 k サイクル ⁽²⁾	10			
		$T_A = +55\text{ }^{\circ}\text{C}$ で 10 k サイクル ⁽²⁾	20			

1. 特性を基本にしているため、生産時はテストを行いません。

2. サイクル数は仕様の全温度範囲外で実行しています。

5.3.10 EMC 特性

感受性テストのデバイス特性についてはサンプルベースで行われます。

EMS 機能 (Electromagnetic susceptibility : 電磁感受性)

簡単なアプリケーションがデバイスで実行されている間 (I/O ポートを通して 2 つの LED が点滅) デバイスは障害が発生するまでデバイスには 2 種類の電磁気によりストレスが与えられます。障害は LED により示されます。:

- **静電気放電 (ESD : Electrostatic Discharge)** (正及び負) はすべてのデバイス・ピンに機能的な障害が発生するまで行われます。このテストは IEC 1000-4-2 standard に準拠しています。
- **FTB (First Transient Burst)**: 高速過渡電圧のバースト (正及び負) が 100 pF のコンデンサを通して V_{DD} と V_{SS} に対して機能的な障害が発生するまで行われます。このテストは IEC 1000-4-4 standard に準拠しています。

デバイス・リセットは通常動作を再開するために行われます。

テスト結果が [表 29](#) に示されています。これらは、EMS のレベルとクラスを基本とし、アプリケーション・ノート AN1709 に記載されています。

表 29. EMS 特性

記号	パラメータ	条件	レベル / クラス
V_{FESD}	機能的な障害を引き起こすために複数の I/O ピンで電圧リミットを適用	$V_{DD} = 3.3\text{ V}$ 、 $T_A = +25\text{ }^{\circ}\text{C}$ 、 $f_{HCLK} = 48\text{ MHz}$ IEC 1000-4-2 適用	2B
V_{EFTB}	機能上の障害を引き起こすために V_{DD} 及び V_{SS} ピンの上の 100pF を通して高速過渡電圧バースト・リミットを適用	$V_{DD} = 3.3\text{ V}$ 、 $T_A = +25\text{ }^{\circ}\text{C}$ 、 $f_{HCLK} = 48\text{ MHz}$ IEC 1000-4-4 適用	4A

ノイズ問題为避免のためのソフトウェア設計

EMC の特性と最適化は、標準的なアプリケーション環境と簡略化された MCU ソフトウェアのコンポーネント・レベルで実行されます。良好な EMC 性能を出すには、特にユーザ・アプリケーションとソフトウェアに大きく依存している点に注意する必要があります。

そのため、アプリケーションに対して EMC レベルを必要とする EMC ソフトウェアの最適化と事前品質テストを適用することが推奨されています

推奨するソフトウェア

ソフトウェアのフローチャートは、例えば以下のような制御不能の条件管理を含まなければなりません。：

- プログラム・カウンタの故障
- 予期せぬリセット
- 重要データの損失（制御レジスタ ...）

事前品質検査の試行

大部分の問題の共通点（予期せぬリセットやプログラム・カウンタの故障）は、1 秒の間、NRST ピンやクリスタルのピンにロー・ステートをマニュアルで強制的に設定することにより再現できます。この試行を終了するには、仕様値の範囲外で ESD のストレスをデバイスに直接適応することです。予期せぬ動作が検出された場合、ソフトウェアは回復不可能なエラーの発生を防ぐために対応することができます。（アプリケーション・ノート AN1015 を参照）

電磁妨害 (EMI : Electromagnetic Interference)

デバイスにより放出される電磁フィールドは、単純なアプリケーションが実行（I/O ポートを通して 2 個の LED をトグル）している間、監視されます。この放射テストは、テスト・ボードやピンの負荷について規定している SAE J 1752/3 standard に準拠しています。

表 30. EMI 特性

記号	パラメータ	条件	監視 周波数バンド	最大値 対 [f _{HSE} /f _{HCLK}]		単位
				8/48 MHz	8/72 MHz	
S _{EMI}	ピーク レベル	V _{DD} = 3.3 V、T _A = 25 °C、 SAE J 1752/3 準拠 の LQFP100 パッケージ	0.1 MHz ~ 30 MHz	12	12	dB μV
			30 MHz ~ 130 MHz	22	19	
			130 MHz ~ 1GHz	23	29	
			SAE EMI レベル	4	4	-

5.3.11 絶対最大定格（電磁感度）

特定の測定方法を使用する 3 つの異なるテスト (ESD、LU) に基づいて、デバイスは電磁感度に関してその性能を決めるためにストレスを加えられます。

静電放電 (ESD : Electrostatic Discharge)

静電放電（1 秒ごとに正と負のパルスを繰り返す）は、ピンの組合せによるサンプルのピンに適用されます。サンプル数はデバイス（3 個 x (n + 1) 供給ピン）の供給ピンの数に依存します。このテストは JESD22-A114A standard に準拠しています。

表 31. ESD 絶対最大定格

記号	定格	条件	クラス	最大値 ⁽¹⁾	単位
V _{ESD(HBM)}	静電破壊電圧 (ヒューマン・ボディ・モデル)	T _A = +25 °C JESD22-A114 準拠	2	2000	V
V _{ESD(CDM)}	静電破壊電圧 (チャージ・デバイス・モデル)	T _A = +25 °C JESD22-C101 準拠	II	500	

1. 特性結果を基本にしているため、生産時はテストを行いません。

静的ラッチアップ

2 つの補完的な静的テストは、ラッチ・アップ性能を評価するために 6 の項目が要求されています。:

- 電源過電圧がそれぞれの電源ピンに印加されます。
- 電流注入がそれぞれの入力、出力、I/O 構成ピンに印加されます。

これらのテストは EIA/JESD 78 IC latch-up standard に準拠しています。

表 32. 静電気感度

記号	パラメータ	条件	クラス
LU	静的ラッチアップ・クラス	T _A = +105 °C JESD78A 準拠	II level A

5.3.12 I/O ポート特性

汎用入出力特性

特に明記がない限り、表 33 で示されているパラメータは、表 8 でまとめた周囲温度と V_{DD} 供給電圧条件で実行されたテストに基づいています。すべての I/O は CMOS と TTL 互換になります。

表 33. I/O 静的特性

記号	パラメータ	条件	最小値	標準値	最大値	単位
V_{IL}	入力 L レベル電圧	TTL ポート	-0.5		0.8	V
V_{IH}	標準 IO 入力 H レベル電圧		2		$V_{DD}+0.5$	
	IO FT ⁽¹⁾ 入力 H レベル電圧		2		5.5V	
V_{IL}	入力 L レベル電圧	CMOS ポート	-0.5		$0.35 V_{DD}$	V
V_{IH}	入力 H レベル電圧		$0.65 V_{DD}$		$V_{DD}+0.5$	
V_{hys}	標準 IO シュミット・トリガ電圧ヒステリシス ⁽²⁾		200			mV
	O FT シュミット・トリガ電圧ヒステリシス ⁽²⁾		$5\% V_{DD}$ ⁽³⁾			mV
I_{lkg}	入力リーク電流 ⁽⁴⁾	$V_{SS} \leq V_{IN} \leq V_{DD}$ 標準 I/O			± 1	μA
		$V_{IN} = 5 V$ I/O FT			3	
R_{PU}	ウィーク・プルアップ等価抵抗 ⁽⁵⁾	$V_{IN} = V_{SS}$	30	40	50	k Ω
R_{PD}	ウィーク・プルダウン等価抵抗 ⁽⁵⁾	$V_{IN} = V_{DD}$	30	40	50	k Ω
C_{IO}	I/O ピン静電容量			5		pF

1. FT (5V 耐性)
2. レベルのスイッチをしているシュミット・トリガ間のヒステリシス電圧になります。特性を基本としているため、生産時はテストを行いません。
3. 最低 100 mV になります。
4. リークージは、負電流が隣接するピンに流入する場合は、最大値より高くなります。
5. プルアップ、プルダウン抵抗はスイッチで切り替えができる PMOS/NMOS と直列に真性抵抗として設計されています。この PMOS/NMOS の直列抵抗への関与は最小限にする必要があります。(～ 10%)

出力ドライブ電流

GPIO (general purpose input/outputs) は、最大 ± 8 mA をシンクまたはソースすることができ、また $+20$ mA (安定した V_{OL}) をシンクすることができます。

ユーザ・アプリケーションにおいて、電流を駆動できる I/O ピンの数は、[セクション 5.2](#) の最大絶対定格を守るために制限しなければなりません。

- V_{DD} 上の電流値の合計は、すべての I/O によるソースと V_{DD} 上の MCU における最大 Run 消費電流のソースとの合計は絶対最大定格 I_{VDD} を超えることはできません。 ([表 6](#) を参照)
- V_{SS} 上の電流値の合計は、すべての I/O によるシンクと V_{SS} 上の MCU における最大 Run 消費電流のシンクとの合計は絶対最大定格 I_{VSS} を超えることはできません。 ([表 6](#) を参照)

出力電圧レベル

特に明記がない限り、[表 34](#) で示されているパラメータは、[表 8](#) でまとめた周囲温度と V_{DD} 供給電圧条件で実行されたテストに基づいています。すべての I/O は CMOS と TTL レベルに互換になります。

表 34. 出力電圧特性

記号	パラメータ	条件	最小値	最大値	単位
$V_{OL}^{(1)}$	8 本のピンが同時にシンクされる場合の I/O ピン出力 L レベル電圧	TTL ポート $I_{IO} = +8$ mA $2.7\text{ V} < V_{DD} < 3.6\text{ V}$		0.4	V
$V_{OH}^{(2)}$	8 本のピンが同時にソースされる場合の、I/O ピン H レベル出力電圧		$V_{DD} - 0.4$		
$V_{OL}^{(1)}$	8 本のピンが同時にシンクされる場合の I/O ピン出力 L レベル電圧	CMOS ポート $I_{IO} = +8$ mA $2.7\text{ V} < V_{DD} < 3.6\text{ V}$		0.4	V
$V_{OH}^{(2)}$	8 本のピンが同時にソースされる場合の、I/O ピン H レベル出力電圧		2.4		
$V_{OL}^{(1)(3)}$	8 本のピンが同時にシンクされる場合の I/O ピン出力 L レベル電圧	$I_{IO} = +20$ mA $2.7\text{ V} < V_{DD} < 3.6\text{ V}$		1.3	V
$V_{OH}^{(2)(3)}$	8 本のピンが同時にソースされる場合の、I/O ピン H レベル出力電圧		$V_{DD} - 1.3$		
$V_{OL}^{(1)(3)}$	8 本のピンが同時にシンクされる場合の I/O ピン出力 L レベル電圧	$I_{IO} = +6$ mA $2\text{ V} < V_{DD} < 2.7\text{ V}$		0.4	V
$V_{OH}^{(2)(3)}$	8 本のピンが同時にソースされる場合の、I/O ピン H レベル出力電圧		$V_{DD} - 0.4$		

1. デバイスによりシンクされた I_{IO} 電流は、[表 6](#) に示されている絶対最大定格を常に守らなければなりません。また、 I_{IO} (I/O ポートと制御ピン) の合計値は I_{VSS} を超えることはできません。
2. デバイスによりソースされた I_{IO} 電流は、[表 6](#) に示されている絶対最大定格を常に守らなければなりません。また、 I_{IO} (I/O ポートと制御ピン) の合計値は I_{VDD} を超えることはできません。
3. 特性データを基本としているため、生産時はテストを行いません。

入力 / 出力 AC 特性

入力 / 出力 AC 特性の定義と値は、[図 22](#) と [表 35](#) のそれぞれに示されています。

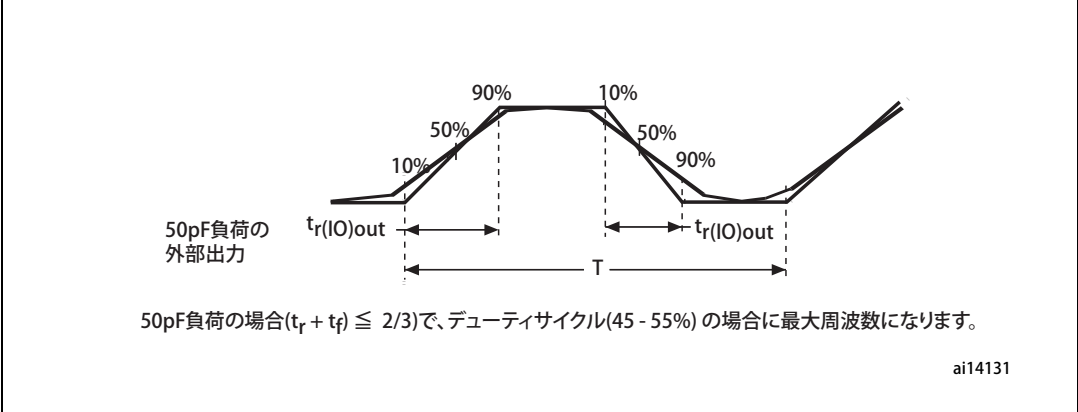
特に明記がない限り、[表 35](#) で示されているパラメータは、[表 8](#) でまとめた周囲温度と V_{DD} 供給電圧条件で実行されたテストに基づいています。

表 35. I/O AC 特性⁽¹⁾

MODEx[1:0] bit 値 ⁽¹⁾	記号	パラメータ	条件	最小 値	最大 値	単位
10	$f_{\max(\text{IO})\text{out}}$	最大周波数 ⁽²⁾	$C_L = 50 \text{ pF}$, $V_{DD} = 2 \text{ V} \sim 3.6 \text{ V}$		2	MHz
	$t_{f(\text{IO})\text{out}}$	出力 H から L レベル の立下り時間	$C_L = 50 \text{ pF}$, $V_{DD} = 2 \text{ V} \sim 3.6 \text{ V}$		125 ⁽³⁾	ns
	$t_{r(\text{IO})\text{out}}$	出力 L から H レベル の立上り時間			125 ⁽³⁾	
01	$f_{\max(\text{IO})\text{out}}$	最大周波数 ⁽²⁾	$C_L = 50 \text{ pF}$, $V_{DD} = 2 \text{ V} \sim 3.6 \text{ V}$		10	MHz
	$t_{f(\text{IO})\text{out}}$	出力 H から L レベル の立下り時間	$C_L = 50 \text{ pF}$, $V_{DD} = 2 \text{ V} \sim 3.6 \text{ V}$		25 ⁽³⁾	ns
	$t_{r(\text{IO})\text{out}}$	出力 L から H レベル の立上り時間			25 ⁽³⁾	
11	$F_{\max(\text{IO})\text{out}}$	最大周波数 ⁽²⁾	$C_L = 30 \text{ pF}$, $V_{DD} = 2.7 \text{ V} \sim 3.6 \text{ V}$		50	MHz
			$C_L = 50 \text{ pF}$, $V_{DD} = 2.7 \text{ V} \sim 3.6 \text{ V}$		30	MHz
			$C_L = 50 \text{ pF}$, $V_{DD} = 2 \text{ V} \sim 2.7 \text{ V}$		20	MHz
	$t_{f(\text{IO})\text{out}}$	出力 H から L レベル の立下り時間	$C_L = 30 \text{ pF}$, $V_{DD} = 2.7 \text{ V} \sim 3.6 \text{ V}$		5 ⁽³⁾	ns
			$C_L = 50 \text{ pF}$, $V_{DD} = 2.7 \text{ V} \sim 3.6 \text{ V}$		8 ⁽³⁾	
			$C_L = 50 \text{ pF}$, $V_{DD} = 2 \text{ V} \sim 2.7 \text{ V}$		12 ⁽³⁾	
	$t_{r(\text{IO})\text{out}}$	出力 L から H レベル の立上り時間	$C_L = 30 \text{ pF}$, $V_{DD} = 2.7 \text{ V} \sim 3.6 \text{ V}$		5 ⁽³⁾	
			$C_L = 50 \text{ pF}$, $V_{DD} = 2.7 \text{ V} \sim 3.6 \text{ V}$		8 ⁽³⁾	
			$C_L = 50 \text{ pF}$, $V_{DD} = 2 \text{ V} \sim 2.7 \text{ V}$		12 ⁽³⁾	
–	$t_{\text{EXTI}pw}$	EXTI コントローラに より外部信号のパルス 幅を検出		10		ns

1. I/O 速度は MODEx[1:0] bit を使用して構成されます。GPIO ポート構成レジスタの詳細については STM32F10xxx リファレンス・マニュアルを参照してください。
2. 最大周波数は [図 22](#) に定義しています。
3. 設計で保証されているため、生産時はテストを行いません。

図 22. I/O AC 特性の定義



5.3.13 NRST ピン特性

NRST ピン入力ドライバには CMOS テクノロジが使用されます。その回路はパーマネント・プルアップ抵抗 R_{PU} に接続されています。(表 33 を参照)

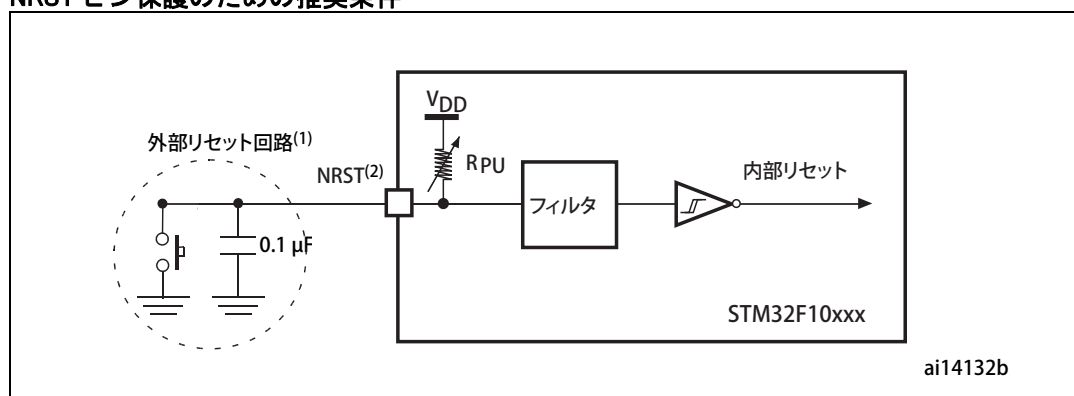
特に明記がない限り表 36 で示されているパラメータは、表 8 でまとめた周囲温度と V_{DD} 供給電圧条件で実行されたテストに基づいています。

表 36. NRST ピン特性

記号	パラメータ	条件	最小値	標準値	最大値	単位
$V_{IL(NRST)}^{(1)}$	NRST 入力 L レベル電圧		-0.5		0.8	V
$V_{IH(NRST)}^{(1)}$	NRST 入力 H レベル電圧		2		$V_{DD}+0.5$	
$V_{hys(NRST)}$	NRST シュミットトリガ電圧 ヒステリシス			200		mV
R_{PU}	ウィーク・プルアップ等価抵抗 ⁽²⁾	$V_{IN} = V_{SS}$	30	40	50	k Ω
$V_{F(NRST)}^{(1)}$	NRST 入力フィルタ・パルス				100	ns
$V_{NF(NRST)}^{(1)}$	NRST 入力フィルタ・パルスなし		300			ns

- 設計で保証されているため、生産時はテストを行いません。
- プルアップ抵抗はスイッチで切り替えができる PMOS と直列に真性抵抗として設計されます。この PMOS のシリーズ抵抗への関与は最低にする必要があります。(～ 10%)

図 23. NRST ピン保護のための推奨条件



1. リセット回路網はデバイスを寄生リセットから保護します。
2. NRST ピン上のレベルは [表 36](#) で指定されている $V_{IL(NRST)}$ の最大レベルより下回る必要があります。その対応をしない場合は、デバイスへリセットができない場合があります。

5.3.14 TIM タイマ特性

[表 37](#) で示されているパラメータは、設計により保証されています。

入出力オルタネート機能特性（出力比較、入力キャプチャ、外部クロック、PWM 出力）についての詳細は、[セクション 5.3.12: I/O ポート特性](#) を参照してください。

表 37. TIMx⁽¹⁾ 特性

記号	パラメータ	条件	最小値	最大値	単位
$t_{res(TIM)}$	タイマ分解能時間		1		$t_{TIMxCLK}$
		$f_{TIMxCLK} = 72 \text{ MHz}$	13.9		ns
f_{EXT}	CH1 から CH4 のタイマ外部クロック周波数		0	$f_{TIMxCLK}/2$	MHz
		$f_{TIMxCLK} = 72 \text{ MHz}$	0	36	MHz
Res_{TIM}	タイマ分解能			16	bit
$t_{COUNTER}$	内部クロックが選択された場合の、16bit カウンタクロック周期		1	65536	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 72 \text{ MHz}$	0.0139	910	μs
t_{MAX_COUNT}	最大可能カウント			65536×65536	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 72 \text{ MHz}$		59.6	s

1. TIMx は TIM2、TIM3、TIM4 の参照用として一般的な用語として使用されます。

5.3.15 通信インタフェース

I²C インタフェース特性

特に明記がない限り、[表 38](#)で示されているパラメータは、[表 8](#)まとめた周囲温度、f_{PCLK1} 周波数、V_{DD} 供給電圧条件で実行されたテストに基づいています。

STM32F103xx パフォーマンス・ライン I²C インタフェースは、以下の条件で標準的な I²C 通信プロトコルの必要条件を満たします。: SDA と SCL が配置された I/O ピンは本来の“オープン・ドレイン”ではありません。オープン・ドレインとして構成される場合、I/O ピンと V_{DD} の間に接続している PMOS はディセーブルになりますが、回路としては存在します。

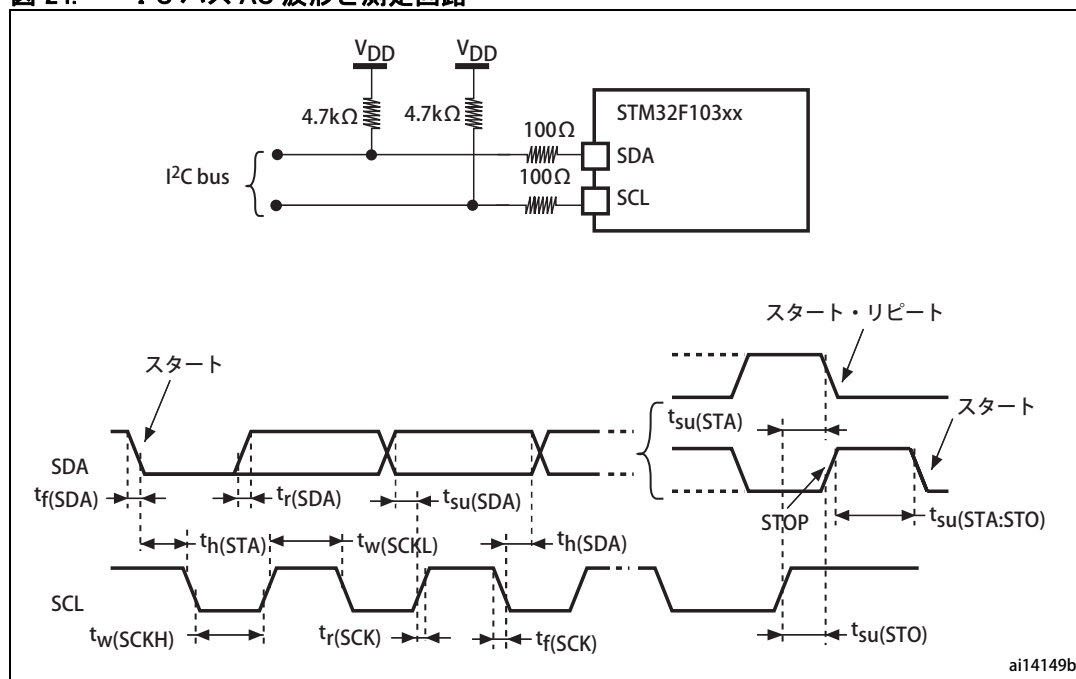
I²C の特性は、[表 38](#)に記載されています。入出力オルタネート機能特性 (SDA と SCL) についての詳細は [セクション 5.3.12: I/O ポート特性](#) を参照してください。

表 38. I²C 特性

記号	パラメータ	標準モード I ² C ⁽¹⁾		高速モード I ² C ⁽¹⁾⁽²⁾		単位
		最小値	最大値	最小値	最大値	
t _w (SCLL)	SCL クロック・ロー 時間	4.7		1.3		μs
t _w (SCLH)	SCL クロック・ハイ時間	4.0		0.6		
t _{su} (SDA)	SDA セットアップ時間	250		100		ns
t _h (SDA)	SDA データ・ホールド時間	0 ⁽³⁾		0 ⁽⁴⁾	900 ⁽³⁾	
t _r (SDA) t _r (SCL)	SDA と SCL 立上り時間		1000	20 + 0.1C _b	300	
t _f (SDA) t _f (SCL)	SDA と SCL 立下り時間		300		300	
t _h (STA)	START コンディション・ホールド時間	4.0		0.6		μs
t _{su} (STA)	再 START コンディション・セットアップ時間	4.7		0.6		
t _{su} (STO)	STOP コンディション・セットアップ時間	4.0		0.6		ms
t _w (STO:STA)	STOP から START コンディション時間 (バスフリー)	4.7		1.3		ms
C _b	各々のバスラインの容量性負荷		400		400	pF

1. 設計で保証されているため、生産時はテストを行いません。
2. I²C 標準モードの最大周波数にするには、f_{PCLK1} を 2 MHz 以上にすることが必要であり、I²C の高速モードの最大周波数するためには、f_{PCLK1} を 4 MHz 以上にすることが必要あります。
3. インタフェースが SCL 信号のロー・ピリオドをストレッチしない場合、START コンディションの最大ホールド時間を、この時間に合わせる必要があります。
4. デバイスは SCL の立下りエッジの未定義部分にブリッジするために SDA 信号について少なくとも 300ns のホールド時間を内部的に提供しなければなりません。

図 24. I²C バス AC 波形と測定回路



1. 測定ポイントは CMOS レベルで行われています : $0.3V_{DD}$ 及び $0.7V_{DD}$

表 39. SCL 周波数 ($f_{PCLK1} = 36 \text{ MHz}$ 、 $V_{DD} = 3.3 \text{ V}$)⁽¹⁾⁽²⁾

f_{SCL} (kHz)	I2C_CCR 値
	$R_p = 4.7 \text{ k}\Omega$
400	0x801E
300	0x8028
200	0x803C
100	0x00B4
50	0x0168
20	0x0384

1. R_p = 外部プルアップ抵抗、 f_{SCL} = I²C 速度。
2. 200 kHz の速度について、この速度の許容値は $\pm 5\%$ になります。他の速度については、その速度を達成するための許容値は $\pm 2\%$ になります。この幅は、アプリケーションの設計に使われる外部部品の精度に依存します。

SPI インタフェース特性

特に明記がない限り、表 40 で示されているパラメータは、表 8 でまとめた周囲温度、 f_{PCLKx} 周波数、 V_{DD} 供給電圧条件で実行されたテストに基づいています。

入力 / 出力オルタネート機能特性 (NSS、SCK、MOSI、MISO) について、より詳細な説明は、セクション 5.3.12: I/O ポート特性を参照してください。

表 40. SPI 特性⁽¹⁾

記号	パラメータ	条件	最小値	最大値	単位
f_{SCK} $1/t_c(SCK)$	SPI クロック周波数	マスタ・モード	0	18	MHz
		スレーブ・モード	0	18	
$t_r(SCK)$ $t_f(SCK)$	SPI クロック立上り、 立下り時間	容量性負荷 : $C = 30 \text{ pF}$		8	ns
$t_{su(NSS)}^{(2)}$	NSS セットアップ時間	スレーブ・モード	$4 t_{PCLK}$		
$t_h(NSS)^{(2)}$	NSS ホールド時間	スレーブ・モード	73		
$t_w(SCKH)^{(2)}$ $t_w(SCKL)^{(2)}$	SCK ハイ及びロー時間	マスタ・モード、 $f_{PCLK} = 36 \text{ MHz}$, $presc = 4$	50	60	
$t_{su(MI)}^{(2)}$	データ入力セットアップ 時間 マスタ・モード	SPI1	1		
		SPI2	5		
$t_{su(SI)}^{(2)}$	データ入力セットアップ 時間 スレーブ・モード		1		
$t_h(MI)^{(2)}$	データ入力ホールド時間 マスタ・モード	SPI1	1		
		SPI2	5		
$t_h(SI)^{(2)}$	データ入力ホールド時間 スレーブ・モード		3		
$t_a(SO)^{(2)(3)}$	データ出力アクセス時間	スレーブ・モード、 $f_{PCLK} = 36 \text{ MHz}$, $presc = 4$	0	55	
		スレーブ・モード、 $f_{PCLK} = 24 \text{ MHz}$	0	$4 t_{PCLK}$	
$t_{dis(SO)}^{(2)(4)}$	データ出力ディセーブル 時間	スレーブ・モード	10		
$t_v(SO)^{(2)(1)}$	データ出力有効時間	スレーブ・モード (イネーブル・エッジ後)		25	
$t_v(MO)^{(2)(1)}$	データ出力有効時間	マスタ・モード (イネーブル・エッジ後)		3	
$t_h(SO)^{(2)}$	データ出力ホールド時間	スレーブ・モード (イネーブル・エッジ後)	25		
$t_h(MO)^{(2)}$		マスタ・モード (イネーブル・エッジ後)	4		

1. SPI1 特性の再配置は TBD になります。
2. 特性を基本としているため、生産時はテストを行いません。

参考資料

電気的特性

STM32F103x6, STM32F103x8, STM32F103xB

3. 最小時間は出力を駆動するための最小時間で、最大時間はデータを確認するための最大時間になります。
4. 最小時間は出力を無効にするための最小時間で最大時間はデータをハイ・インピーダンスにする最大時間です。

図 25. SPI タイミング図 - スレーブ・モードと CPHA = 0

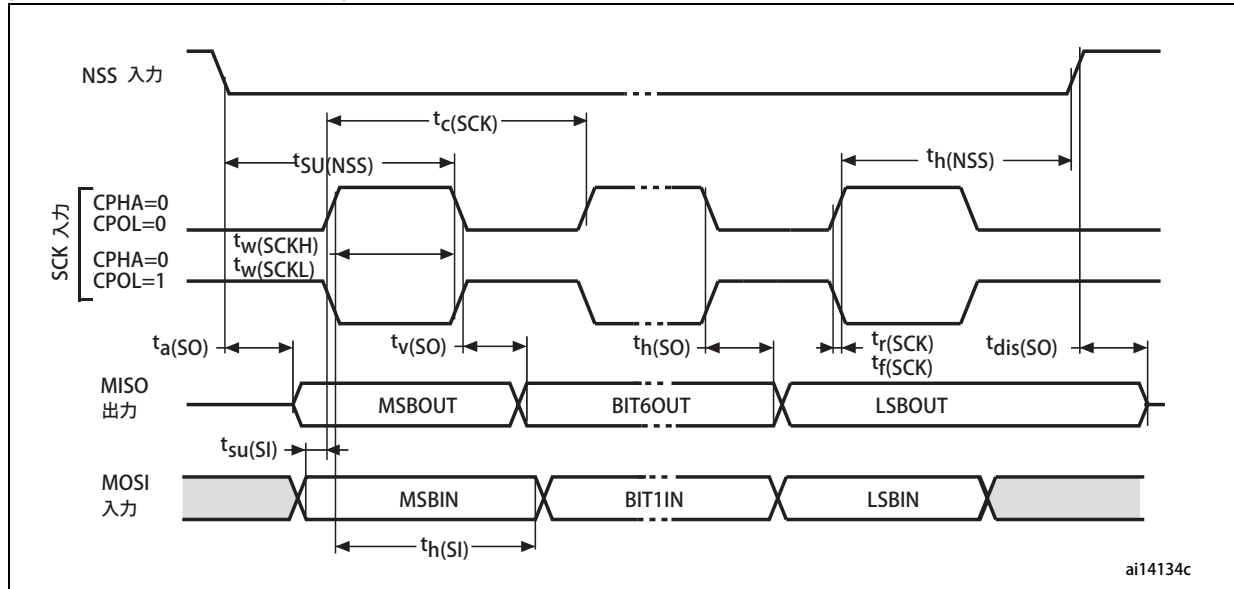
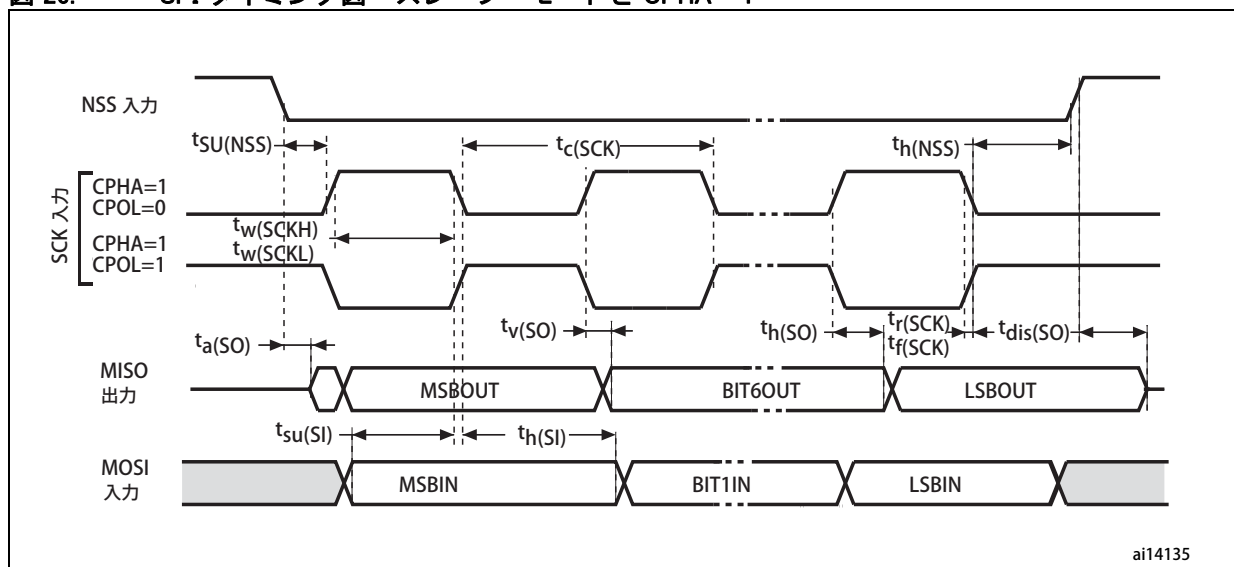
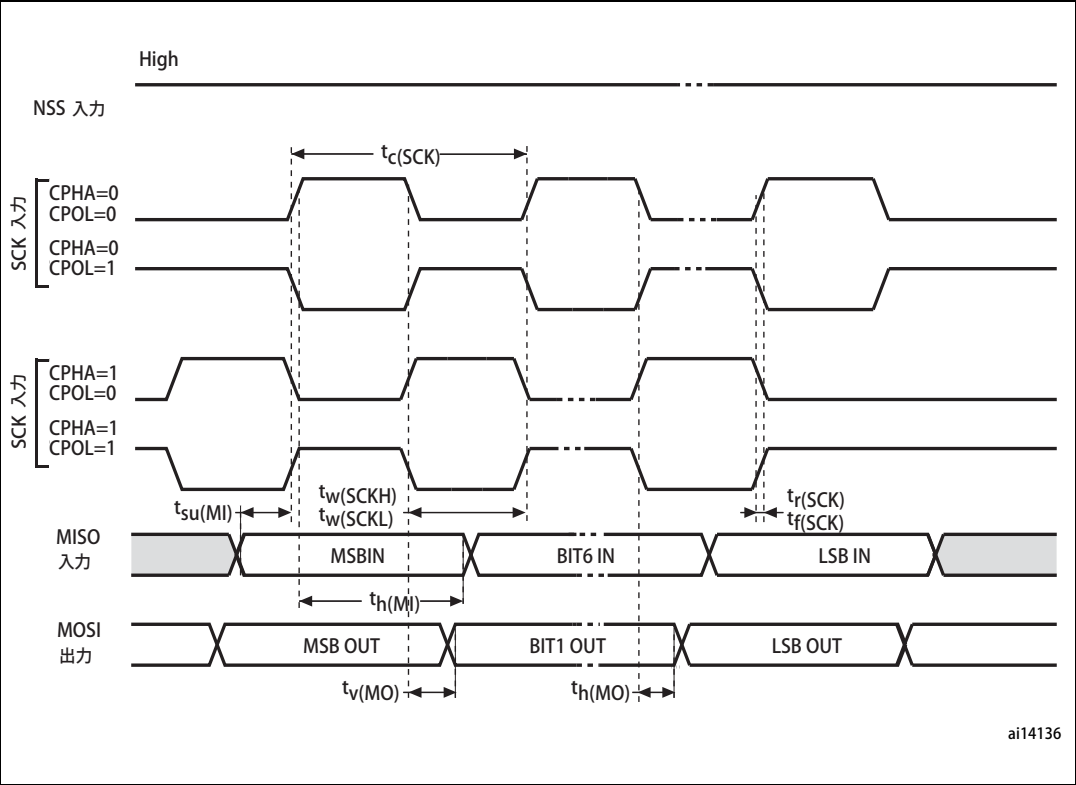


図 26. SPI タイミング図 - スレーブ・モードと CPHA = 1⁽¹⁾



1. 測定ポイントは CMOS レベルで行われています。: $0.3V_{DD}$ 及び $0.7V_{DD}$

図 27. SPI タイミング図 - マスタ・モード ⁽¹⁾



1. 測定ポイントは CMOS レベルで行われています。: 0.3V_{DD} 及び 0.7V_{DD}

USB 特性

USB インタフェースは USB-IF 準拠 (フルスピード) になります。

表 41. USB スタートアップ時間

記号	パラメータ	最大値	単位
t _{STARTUP} ⁽¹⁾	USB 転送スタート・アップ時間	1	μs

1. 設計により保証されてるため、生産時はテストを行いません。

表 42. USB DC 電気特性

記号	パラメータ	条件	最小値 ⁽¹⁾	最大値 ⁽¹⁾	単位
入力レベル					
V _{DD}	USB 動作電圧 ⁽²⁾		3.0 ⁽³⁾	3.6	V
V _{DI} ⁽⁴⁾	差動入力感度	I(USBDP、USBDM)	0.2		V
V _{CM} ⁽⁴⁾	差動コモン・モード範囲	V _{DI} 範囲含む	0.8	2.5	
V _{SE} ⁽⁴⁾	シングルエンド受信スレシヨルド		1.3	2.0	
出力レベル					

表 42. USB DC 電気特性 (続き)

記号	パラメータ	条件	最小値 ⁽¹⁾	最大値 ⁽¹⁾	単位
V _{OL}	スタティック出力レベル L	R _L 1.5 kΩ ~ 3.6 V ⁽⁵⁾		0.3	V
V _{OH}	スタティック出力レベル H	R _L 15 kΩ ~ V _{SS} ⁽⁵⁾	2.8	3.6	

1. 全ての電圧は、ローカル・グランド・ポテンシャルからの測定です。
2. USB 2.0 フルスピード の電気仕様に準拠するために、USB_{DP} (D+) ピンは、3.0 ~ 3.6V の電圧範囲に、1.5kΩ の抵抗でプルアップする必要があります。
3. STM32F103xx の USB 機能は 2.7V までは確実に動作しますが、2.7 ~ 3.0V の V_{DD} 電圧の範囲で低下する完全な USB 電気特性にはなりません。
4. 設計により保証されているため、生産時はテストを行いません。
5. R_L は USB ドライバ上に接続される負荷になります。

図 28. USB タイミング：データ信号の立上がりりと立下り時間の定義

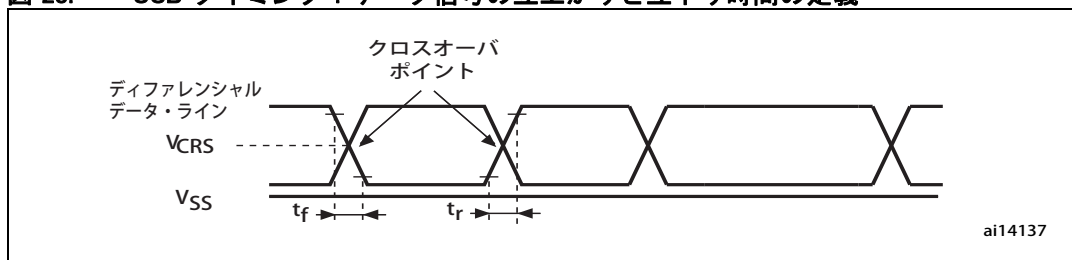


表 43. USB: フルスピード電気的特性⁽¹⁾

記号	パラメータ	条件	最小値	最大値	単位
ドライバ特性					
t _r	立上り時間 ⁽²⁾	C _L = 50 pF	4	20	ns
t _f	立下り時間 ⁽²⁾	C _L = 50 pF	4	20	ns
t _{r/fm}	立上り / 立下り時間マッチング	t _r /t _f	90	110	%
V _{CRS}	出力信号クロスオーバー電圧		1.3	2.0	V

1. 設計により保証されています。生産時にはテストされません。
2. データ信号の 10% ~ 90% で測定しています。さらに詳細に関しては USB Specification - Chapter 7 (version 2.0) を参照してください。

5.3.16 CAN (controller area network) インタフェース

入力 / 出力オルタネート機能の特性 (CANTX と CANRX) についてのさらに詳しい説明については、[セクション 5.3.12: I/O ポート特性](#)を参照してください。

5.3.17 12bit ADC 特性

特に明記がない限り、[表 44](#)で示されているパラメータは、[表 8](#)でまとめた周囲温度、f_{PCLK2} 周波数と V_{DDA} 供給電圧条件で実行されたテストに基づいています。

注意 それぞれの電源投入後に校正を行うことが推奨されます。

表 44. ADC 特性

記号	パラメータ	条件	最小値	標準値	最大値	単位
V_{DDA}	電源供給		2.4		3.6	V
V_{REF+}	ポジティブ基準電圧		2.4		V_{DDA}	V
I_{VREF}	V_{REF} 入力ピン電流			160 ⁽¹⁾	220 ⁽¹⁾	μA
f_{ADC}	ADC クロック周波数		0.6		14	MHz
$f_S^{(2)}$	サンプリング・レート		0.05		1	MHz
$f_{TRIG}^{(2)}$	外部トリガ周波数	$f_{ADC} = 14 \text{ MHz}$			823	kHz
					17	$1/f_{ADC}$
V_{AIN}	変換電圧範囲 ⁽³⁾		0 (V_{SSA} もしくは V_{REF-} を GND に接続)		V_{REF+}	V
$R_{AIN}^{(2)}$	外部入力インピーダンス		式 1 と表 45 を参照			k Ω
$R_{ADC}^{(2)}$	サンプリング・スイッチ抵抗				1	k Ω
$C_{ADC}^{(2)}$	内部サンプルとホールド 負荷容量				12	pF
$t_{CAL}^{(2)}$	較正時間	$f_{ADC} = 14 \text{ MHz}$	5.9			μs
			83			$1/f_{ADC}$
$t_{lat}^{(2)}$	供給トリガ変換遅延	$f_{ADC} = 14 \text{ MHz}$			0.214	μs
					3 ⁽⁴⁾	$1/f_{ADC}$
$t_{latr}^{(2)}$	レギュラ・トリガ変換遅延	$f_{ADC} = 14 \text{ MHz}$			0.143	μs
					2 ⁽⁴⁾	$1/f_{ADC}$
$t_S^{(2)}$	サンプリング時間	$f_{ADC} = 14 \text{ MHz}$	0.107		17.1	μs
			1.5		239.5	$1/f_{ADC}$
$t_{STAB}^{(2)}$	パワー・アップ時間		0	0	1	μs
$t_{CONV}^{(2)}$	すべての変換時間 (サンプリング時間含む)	$f_{ADC} = 14 \text{ MHz}$	1		18	μs
			14 ~ 252 (サンプリング時間 t_S +12.5 で近似される)			$1/f_{ADC}$

1. 特性を基本としているため、生産時はテストを行いません。
2. 設計で保証されているため、生産時はテストを行いません。
3. パッケージにより V_{REF+} は V_{DDA} へ内部的に接続することができ、 V_{REF-} は V_{SSA} へ内部的に接続することができます。詳細については [セクション 3: ピンの詳細](#) を参照してください。
4. 外部トリガについて、 $1/f_{PCLK2}$ の遅延は 表 44 で指定される遅延に加える必要があります。

式 1: R_{AIN} 最大値 公式

$$R_{AIN} < \frac{T_S}{f_{ADC} \times C_{ADC} \times \ln(2^{N+2})} - R_{ADC}$$

上記の (式 1) 公式は、LSB の 1/4 の以下でのエラーについて許される最大外部インピーダンスを決めるのに使用されます。ここで $N = 12$ になります。(12bit 解像度より)

表 45. $f_{ADC} = 14 \text{ MHz}^{(1)}$ の R_{AIN} 最大値

T_S (サイクル)	t_S (μs)	R_{AIN} 最大値 ($k\Omega$)
1.5	0.11	1.2
7.5	0.54	10
13.5	0.96	19
28.5	2.04	41
41.5	2.96	60
55.5	3.96	80
71.5	5.11	104
239.5	17.1	350

1. 設計で保証されているため、生産時はテストを行いません。

表 46. ADC 精度 – 限定テスト条件^{(1) (2)}

記号	パラメータ	テスト条件	標準値	最大値 ⁽³⁾	単位
ET	全未調整エラー	$f_{PCLK2} = 56 \text{ MHz}$ 、 $f_{ADC} = 14 \text{ MHz}$ 、 $R_{AIN} < 10 \text{ k}\Omega$ 、 $V_{DDA} = 3 \text{ V} \sim 3.6 \text{ V}$ $T_A = +25^\circ \text{C}$ 測定は ADC 校正後 $V_{REF+} = V_{DDA}$	± 1.3	± 2	LSB
EO	オフセットエラー		± 1	± 1.5	
EG	ゲインエラー		± 0.5	± 1.5	
ED	微分直線性エラー		± 0.7	± 1	
EL	積分直線性エラー		± 0.8	± 1.5	

- ADC DC 精度値は内部校正後に測定されています。
- ADC 精度 vs 流出電流: 標準 (non-robust) アナログ入力ピンへの負電流の供給は別のアナログ入力で行われている転換の精度を大きく落とすために避けなければなりません。そのため、負電流の供給をするために、ショットキー・ダイオード (ピンから GND) を標準アナログピンへ接続することが推奨されています。
[セクション 5.3.12](#) の $I_{INJ(PIN)}$ と $\Sigma I_{INJ(PIN)}$ について特定の範囲内での流入電流は ADC 精度に影響を及ぼすことはありません。
- 特性を基本としているため、生産時はテストを行いません。

表 47. ADC 精度^{(1) (2) (3)}

記号	パラメータ	テスト条件	標準値	最大値 ⁽⁴⁾	単位
ET	全未調整エラー	$f_{PCLK2} = 56 \text{ MHz}$ 、 $f_{ADC} = 14 \text{ MHz}$ 、 $R_{AIN} < 10 \text{ k}\Omega$ $V_{DDA} = 2.4 \text{ V} \sim 3.6 \text{ V}$ 測定は ADC 校正後	± 2	± 5	LSB
EO	オフセットエラー		± 1.5	± 2.5	
EG	ゲインエラー		± 1.5	± 3	
ED	微分直線性エラー		± 1	± 2	
EL	積分直線性エラー		± 1.5	± 3	

1. ADC DC 精度値は内部校正後に測定されています。
2. より良い性能は、制限された V_{DD} 、周波数、 V_{REF} 及び温度範囲で達成することができます。
3. ADC 精度 vs 流出電流：標準 (non-robust) アナログ入力ピンへの負電流の供給は別のアナログ入力で行われている転換の精度を大きく落とすために避けなければなりません。そのため、負電流の供給をするために、ショットキー・ダイオード（ピンから GND）を標準アナログピンへ接続することが推奨されています。
 セクション 5.3.12 の $I_{INJ(PIN)}$ と $\Sigma I_{INJ(PIN)}$ について特定の範囲内での流入電流は ADC 精度に影響を及ぼすことはありません。
4. 特性を基本としているため、生産時はテストを行いません。

図 29.

ADC 精度特性

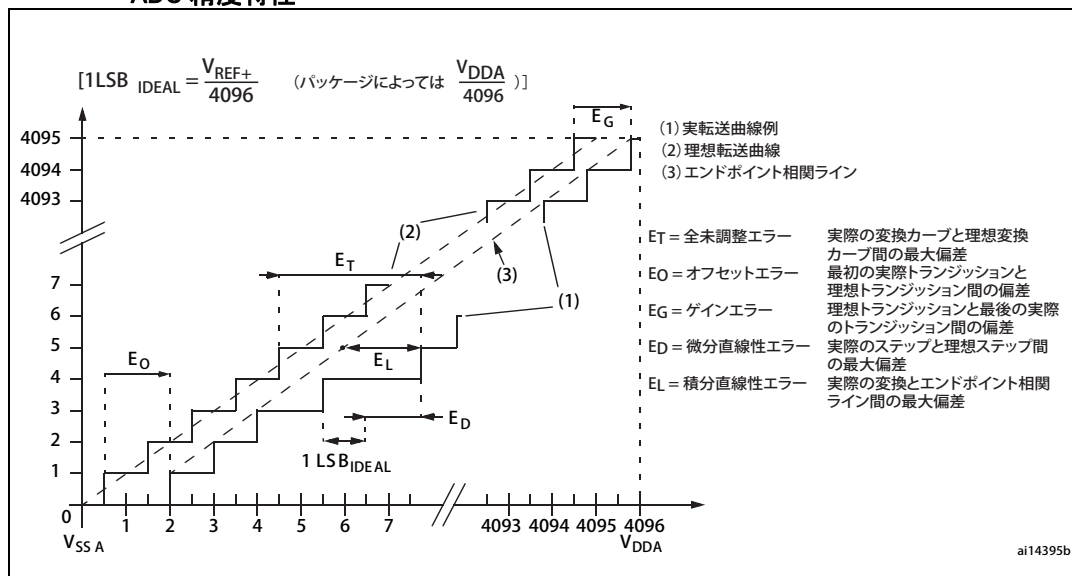
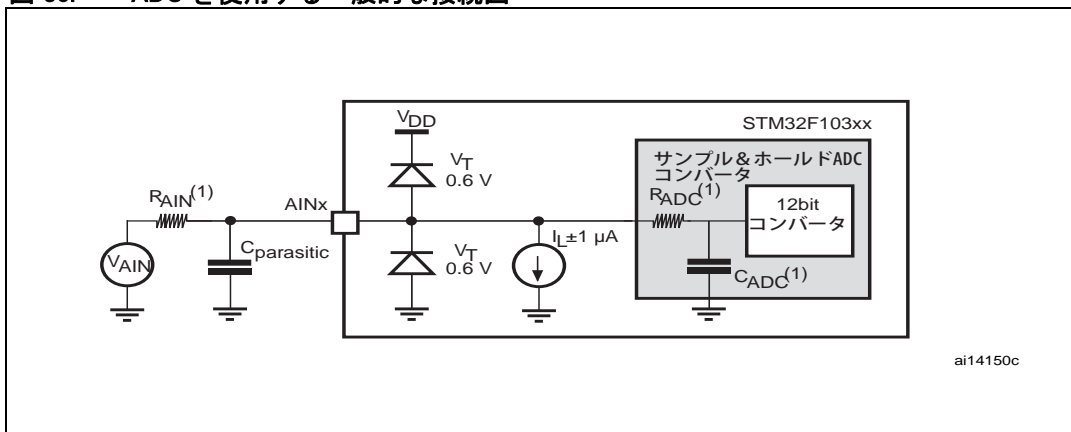


図 30. ADC を使用する一般的な接続図

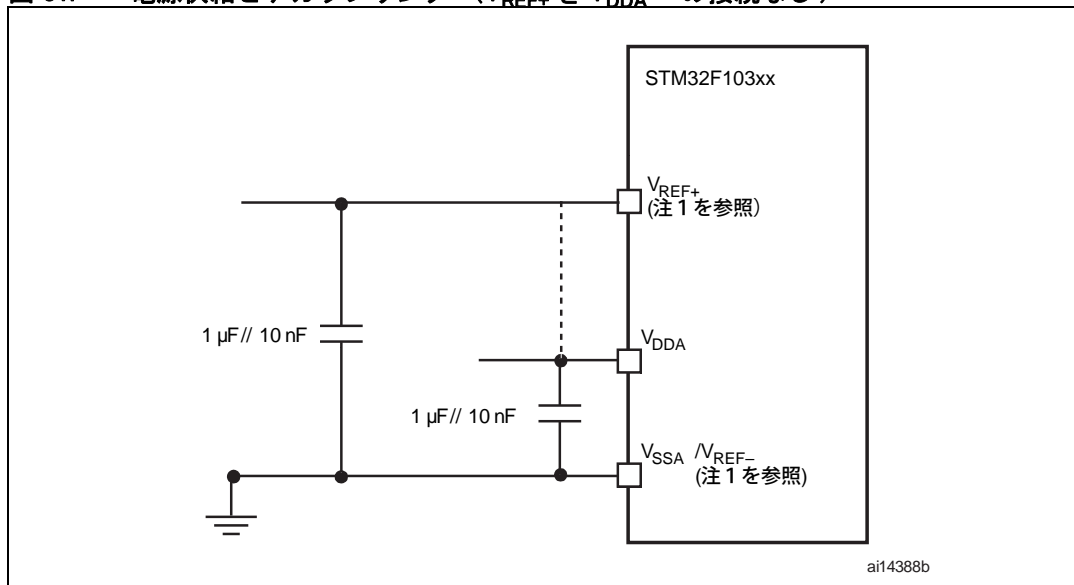


1. R_{AIN} 、 R_{ADC} 、 C_{ADC} の値については表 44 を参照してください。
2. $C_{PARASITIC}$ は PCB の容量（ハンダ付けと PCB レイアウトの品質に依存）にパッド・キャパシタンス（約 7 pF）を加えた容量を意味しています。高い $C_{PARASITIC}$ の値は、変換精度の性能を下げることになります。これを是正するために、 f_{ADC} を低減する必要があります。

一般的な PCB 設計ガイドライン

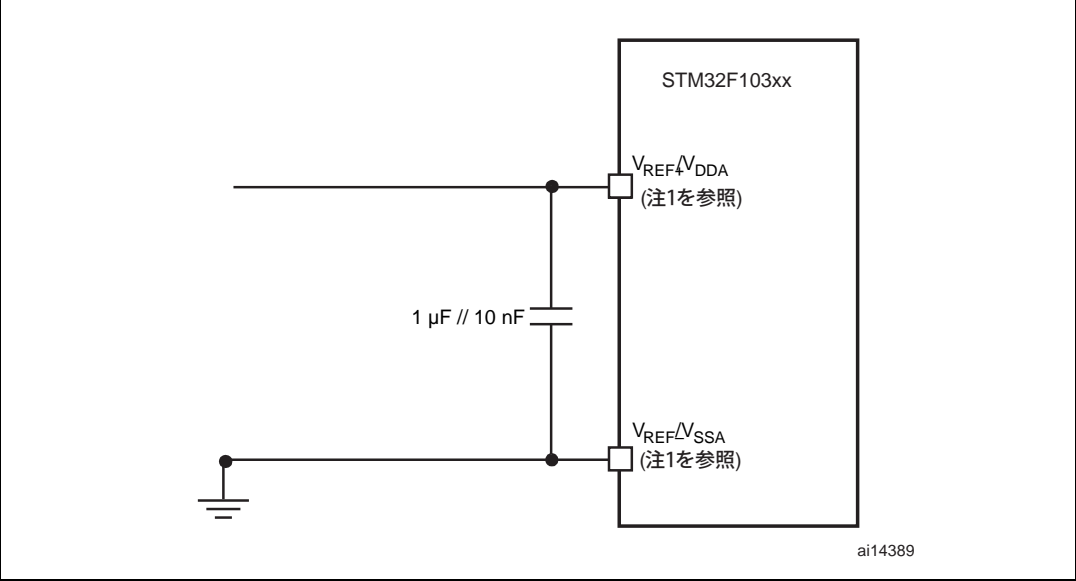
電力供給のデカップリングは、図 31 もしくは図 32 で示すように行わなければなりません。これは V_{REF+} が V_{DDA} に接続しているか、接続していないかによります。10 nF のキャパシタは、セラミック（高品質）にしなければなりません。これらは、できる限りチップの近くに配置しなければなりません。

図 31. 電源供給とデカップリング（ V_{REF+} を V_{DDA} への接続なし）



1. V_{REF+} 及び V_{REF-} の入力は 100 ピン・パッケージのみ対応しています。

図 32. 電源供給とデカップリング (V_{REF+} を V_{DDA} へ接続)



1. V_{REF+} 及び V_{REF-} の入力は 100 ピン・パッケージのみ対応しています。

5.3.18 温度センサ特性

表 48. TS 特性

記号	パラメータ	最小値	標準値	最大値	単位
$T_L^{(1)}$	温度による V_{SENSE} 直線性		± 1	± 2	$^{\circ}\text{C}$
$\text{Avg. Slope}^{(1)}$	平均傾斜	4.0	4.3	4.6	$\text{mV}/^{\circ}\text{C}$
$V_{25}^{(1)}$	+25 $^{\circ}\text{C}$ での電圧	1.34	1.43	1.52	V
$t_{\text{START}}^{(2)}$	スタートアップ時間	4		10	μs
$T_{\text{S_temp}}^{(3)(2)}$	温度読み込み時の ADC サンプリング時間			17.1	μs

- 特性で保証されているため、生産時はテストを行いません。
- 設計で保証されているため、生産時はテストを行いません。
- 最短サンプリング時間は、複数回の繰り返しによりアプリケーションで決めることができます。

6 パッケージ特性

6.1 パッケージ・データ

環境要件に適合させるために、ST は ECOPACK[®] パッケージで STM32F103xx を提供します。これらのパッケージは、鉛フリーのセカンドレベル・インターコネクトになります。JEDEC Standard JESD97 JEDEC Standard JESD97 に従い、セカンドレベルのインターコネクトのカテゴリーはパッケージや内部のボックスラベルに記載されています。

また、ハンダ付けの条件に関しての最大定格は梱包内部のボックスラベルに記載されています。

ECOPACK は ST の登録商標です。ECOPACK の仕様は、www.st.com から入手することができます。

図 33. VFQFPN36 6 x 6 mm、0.5 mm ピッチ、
パッケージ外形寸法⁽¹⁾

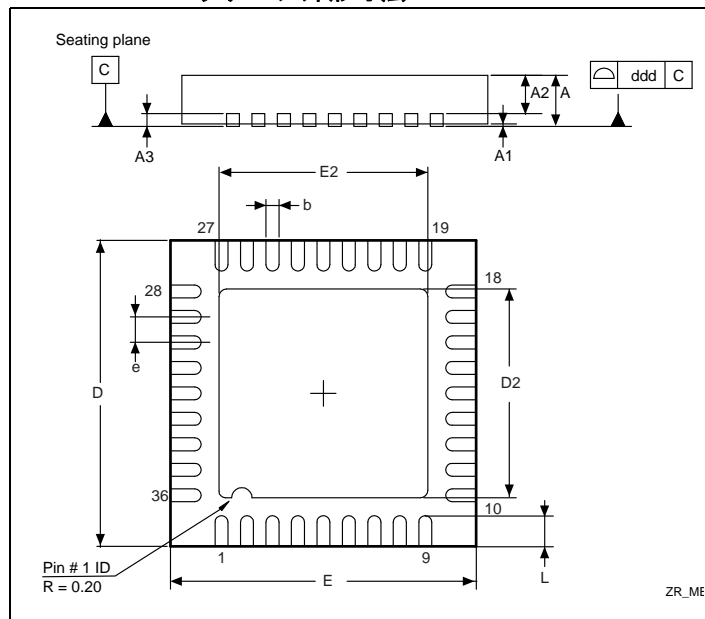
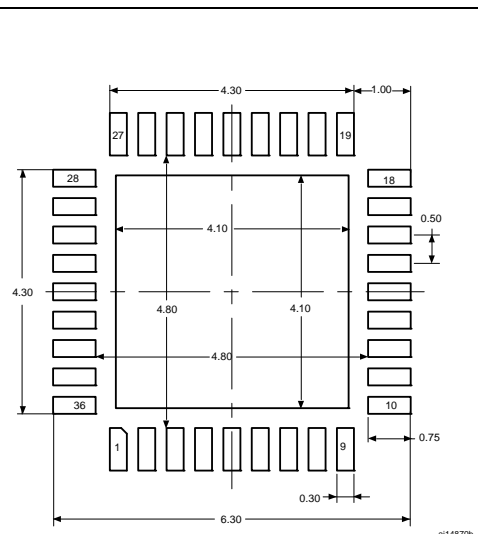


図 34. 推奨フットプリント (1)(2)(3)



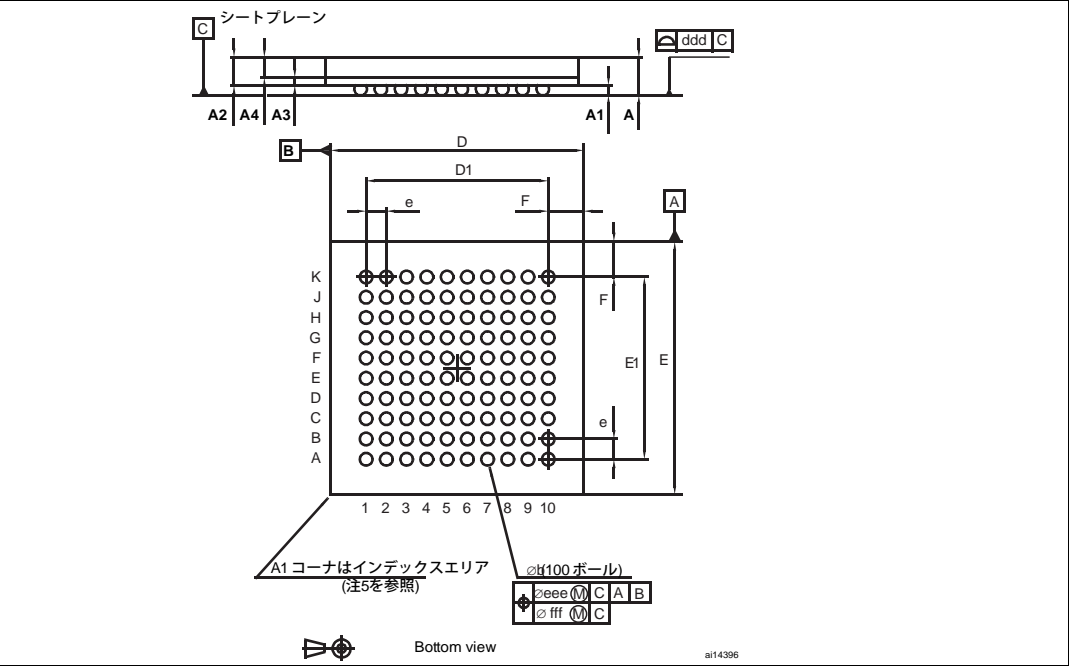
1. この図は実際のスケールではありません。
2. バックサイドパッドは、 V_{SS} または V_{DD} 電源パッドに内部的に接続していません。
3. 露出したダイパッドが、VFQFPN パッケージの下面にあります。その部分は PCB にハンダ付けされなければなりません。全ての読み込みは、PCB にハンダ付けする必要があります。

表 49. VFQFPN36 6 x 6 mm、0.5 mm ピッチ、パッケージ外形寸法データ

記号	ミリメートル (mm)			インチ (inches) ⁽¹⁾		
	最小値	標準値	最大値	最小値	標準値	最大値
A	0.800	0.900	1.000	0.0315	0.0354	0.0394
A1		0.020	0.050		0.0008	0.0020
A2		0.650	1.000		0.0256	0.0394
A3		0.250			0.0098	
b	0.180	0.230	0.300	0.0071	0.0091	0.0118
D	5.875	6.000	6.125	0.2313	0.2362	0.2411
D2	1.750	3.700	4.250	0.0689	0.1457	0.1673
E	5.875	6.000	6.125	0.2313	0.2362	0.2411
E2	1.750	3.700	4.250	0.0689	0.1457	0.1673
e	0.450	0.500	0.550	0.0177	0.0197	0.0217
L	0.350	0.550	0.750	0.0138	0.0217	0.0295
ddd		0.080			0.0031	

1. インチの値はミリメートルからの変換で小数点第 4 位で繰り上げています。

図 35. LFBGA100 – low profile fine pitch ball grid array パッケージ外形寸法



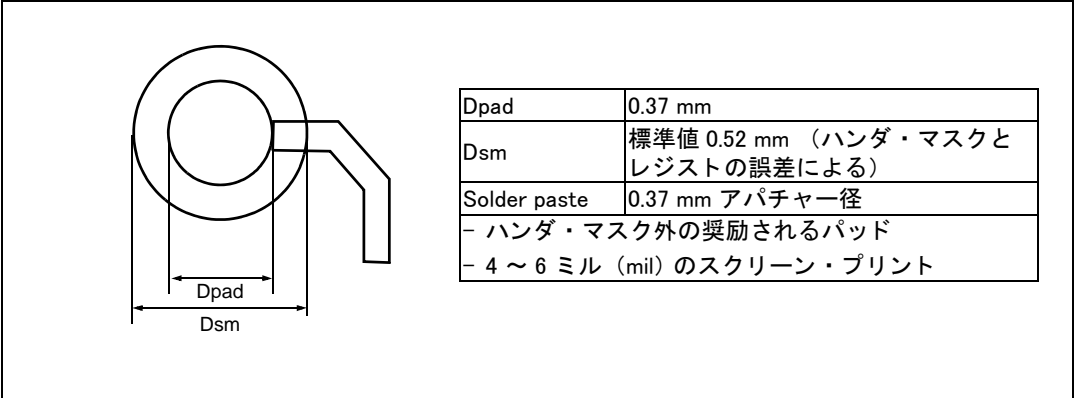
1. この図は実際のスケールではありません。

表 50. LFBGA100 – low profile fine pitch ball grid array パッケージ外形寸法データ

記号	ミリメートル (mm)			インチ (inch) ⁽¹⁾		
	最小値	標準値	最大値	最小値	標準値	最大値
A			1.700			0.0669
A1	0.270			0.0106		
A2		1.085			0.0427	
A3		0.30			0.0118	
A4			0.80			0.0315
b	0.45	0.50	0.55	0.0177	0.0197	0.0217
D	9.85	10.00	10.15	0.3878	0.3937	0.3996
D1		7.20			0.2835	
E	9.85	10.00	10.15	0.3878	0.3937	0.3996
E1		7.20			0.2835	
e		0.80			0.0315	
F		1.40			0.0551	
ddd			0.12			0.0047
eee			0.15			0.0059
fff			0.08			0.0031
N (ボール数)	100					

1. インチの値はミリメートルからの変換で小数点第 4 位で繰り上げています。

図 36. 推奨 PCB 設計ルール (0.80/0.75 mm ピッチ BGA)



参考資料

パッケージ特性

STM32F103x6, STM32F103x8, STM32F103xB

図 37. LQFP100、100 ピン low-profile quad flat パッケージ外形寸法⁽¹⁾

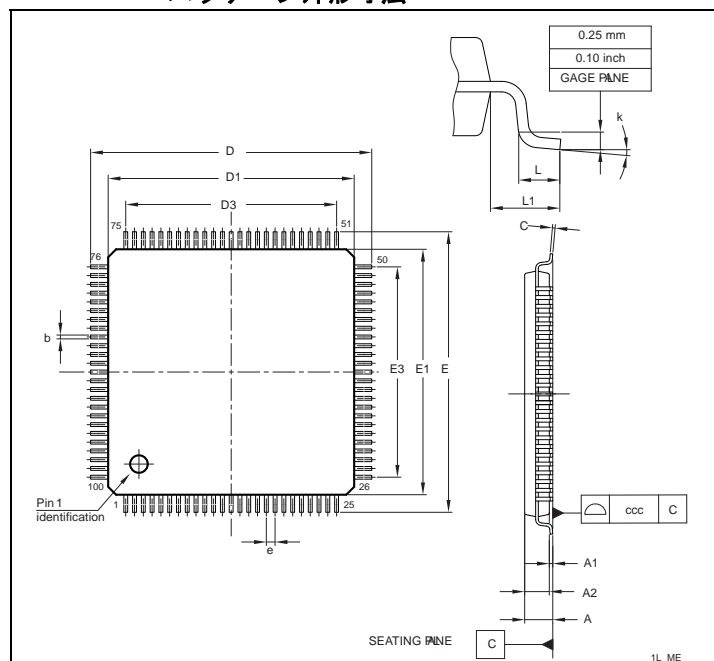
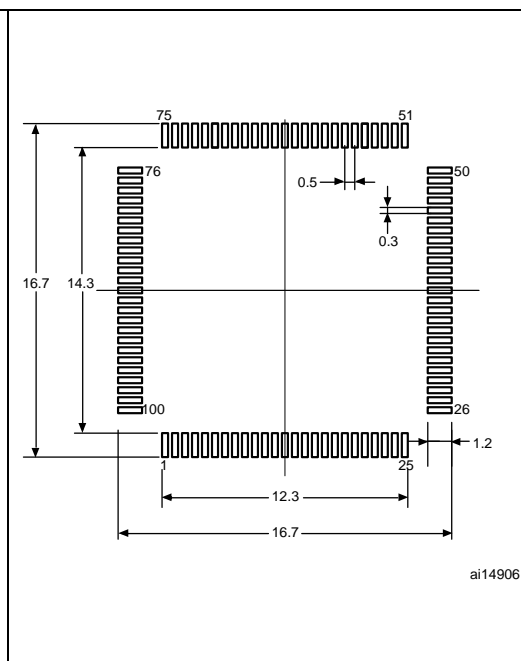


図 38. 推奨フットプリント⁽¹⁾⁽²⁾



1. この図は実際のスケールではありません。
2. 図はミリメートルの表示になります。

表 51. LQFP100、100 ピン low-profile quad flat パッケージ外形寸法データ

記号	ミリメートル (mm)			インチ (inch) ⁽¹⁾		
	標準値	最小値	最大値	標準値	最小値	最大値
A			1.6			0.063
A1		0.05	0.15		0.002	0.0059
A2	1.4	1.35	1.45	0.0551	0.0531	0.0571
b	0.22	0.17	0.27	0.0087	0.0067	0.0106
c		0.09	0.2		0.0035	0.0079
D	16	15.8	16.2	0.6299	0.622	0.6378
D1	14	13.8	14.2	0.5512	0.5433	0.5591
D3	12			0.4724		
E	16	15.8	16.2	0.6299	0.622	0.6378
E1	14	13.8	14.2	0.5512	0.5433	0.5591
E3	12			0.4724		
e	0.5			0.0197		
L	0.6	0.45	0.75	0.0236	0.0177	0.0295
L1	1			0.0394		
k	3.5°	0.0°	7.0°	3.5°	0.0°	7.0°
ccc	0.08			0.0031		

1. インチの値はミリメートルからの変換で小数点第 4 位で繰り上げています。

図 39. LQFP64、64 ピン low-profile quad flat パッケージ外形寸法

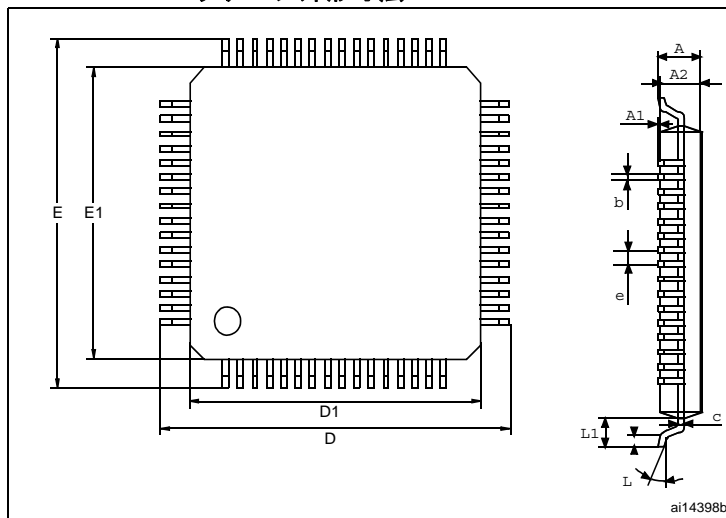
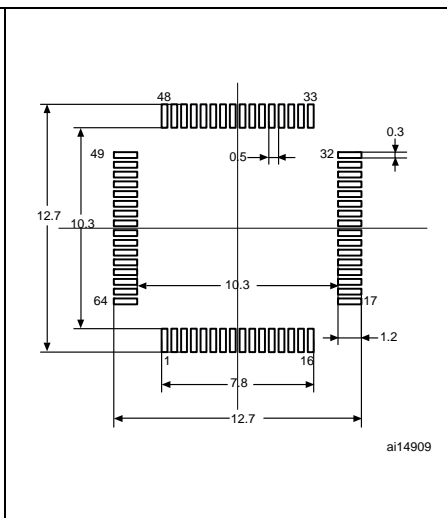


図 40. 推奨フットプリント (1)(1)



1. 図はミリメートルの表示になります。

表 52. LQFP64、64 ピン low-profile quad flat パッケージ外形寸法データ

Dim.	ミリメートル (mm)			インチ (inch) ⁽¹⁾		
	最小値	標準値	最大値	最小値	標準値	最大値
A			1.60			0.0630
A1	0.05		0.15	0.0020		0.0059
A2	1.35	1.40	1.45	0.0531	0.0551	0.0571
b	0.17	0.22	0.27	0.0067	0.0087	0.0106
c	0.09		0.20	0.0035		0.0079
D		12.00			0.4724	
D1		10.00			0.3937	
E		12.00			0.4724	
E1		10.00			0.3937	
e		0.50			0.0197	
q	0°	3.5°	7°	0°	3.5°	7°
L	0.45	0.60	0.75	0.0177	0.0236	0.0295
L1		1.00			0.0394	
N	ピン数					
	64					

1. インチの値はミリメートルからの変換で小数点第 4 位で繰り上げています。

参考資料

パッケージ特性

STM32F103x6, STM32F103x8, STM32F103xB

図 41. LQFP48、48 ピン low-profile quad flat パッケージ外形寸法データ⁽¹⁾

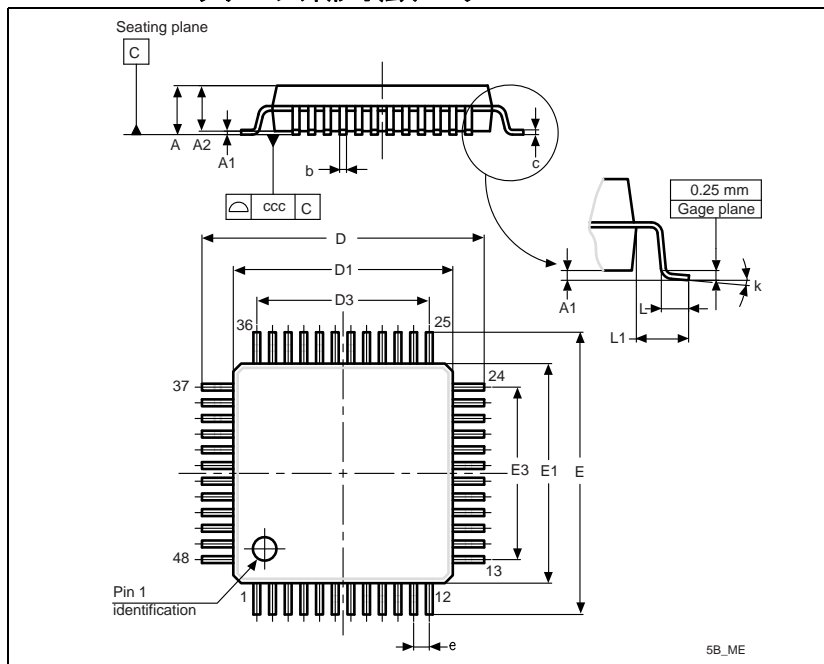
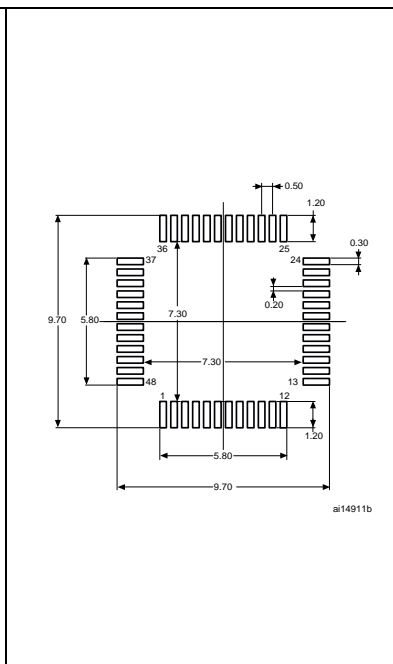


図 42. 推奨フットプリン⁽¹⁾⁽²⁾



1. この図は実際のスケールではありません。
2. 図はミリメートルの表示になります。

表 53. LQFP48、48 ピン low-profile quad flat パッケージ外形寸法データ

記号	ミリメートル (mm)			インチ (inch) ⁽¹⁾		
	標準値	最小値	最大値	標準値	最小値	最大値
A			1.600			0.0630
A1		0.050	0.150		0.0020	0.0059
A2	1.400	1.350	1.450	0.0551	0.0531	0.0571
b	0.220	0.170	0.270	0.0087	0.0067	0.0106
c		0.090	0.200		0.0035	0.0079
D	9.000	8.800	9.200	0.3543	0.3465	0.3622
D1	7.000	6.800	7.200	0.2756	0.2677	0.2835
D3	5.500			0.2165		
E	9.000	8.800	9.200	0.3543	0.3465	0.3622
E1	7.000	6.800	7.200	0.2756	0.2677	0.2835
E3	5.500			0.2165		
e	0.500			0.0197		
L	0.600	0.450	0.750	0.0236	0.0177	0.0295
L1	1.000			0.0394		
k	3.5°	0°	7°	3.5°	0°	7°
ccc		0.080			0.0031	

1. インチの値はミリメートルからの変換で小数点第 4 位で繰り上げています。

6.2 熱特性

チップの最大ジャンクション温度 (T_{Jmax}) は表 8: 一般的な動作条件 (32 ページ) で示されている値を絶対を超えないようにしなければなりません。

チップの最大ジャンクション温度 T_{Jmax} は摂氏で示され、以下の式を使って計算することができます。

$$T_{Jmax} = T_{Amax} + (P_{Dmax} \times \Theta_{JA})$$

詳細内容：

- T_A 最大値は最大周囲温度で、°C で表されます。
- Θ_{JA} はパッケージ・ジャンクション温度と周囲温度の熱抵抗で °C /W で表されます。
- P_{Dmax} は P_{INTmax} と $P_{I/Omax}$ の合計値になります。 ($P_{Dmax} = P_{INTmax} + P_{I/Omax}$)
- P_{INTmax} は I_{DD} と V_{DD} の積になり、ワット (W) で表しチップ内の電力になります。

$P_{I/Omax}$ 出力ピンの最大電力損出を表します：

$$P_{I/Omax} = \sum (V_{OL} \times I_{OL}) + \sum ((V_{DD} - V_{OH}) \times I_{OH}),$$

アプリケーションでの低もしくは高レベルにおいての I/O は実際の V_{OL} / I_{OL} 及び V_{OH} / I_{OH} を考慮しなければなりません。

表 54. 熱特性

記号	パラメータ	値	単位
Θ_{JA}	接合部－周囲温度間熱抵抗 LFBGA100 – 10 x 10 mm / 0.5 mm ピッチ	41	°C /W
	接合部－周囲温度間熱抵抗 LQFP100 – 14 x 14 mm / 0.5 mm ピッチ	46	
	接合部－周囲温度間熱抵抗 LQFP64 – 10 x 10 mm / 0.5 mm ピッチ	45	
	接合部－周囲温度間熱抵抗 LQFP48 – 7 x 7 mm / 0.5 mm ピッチ	55	
	接合部－周囲温度間熱抵抗 VFQFPN 36 – 6 x 6 mm / 0.5 mm ピッチ	18	

6.2.1 参考ドキュメント

JESD51-2 Integrated Circuits Thermal Test Method Environment Conditions – Natural Convection (Still Air). このドキュメントについては www.jedec.org から入手することができます。

6.2.2 温度範囲対応製品の選択

マイクロコントローラを注文する場合、温度範囲は [表 55: 注文コード](#) で指定することができます。

それぞれの温度範囲サフィックスは最大消費電力に特定の保証された周囲温度に対応し、また特定の最大ジャンクション温度にも対応します。

アプリケーションが STM32F103xx の最大電力消費を一般的に使用しないようにするため、アプリケーションに最適な温度範囲を決めるのに正確な消費電力とジャンクション温度を計算するのに役立ちます。

以下の例は、提供されたアプリケーションについて必要とされる温度範囲を計算する方法を示しています。

例 1：高性能アプリケーション

以下のアプリケーションを条件とします。：

最大周囲温度 $T_{Amax} = 82\text{ }^{\circ}\text{C}$ (JESD51-2 により測定)、 $I_{DDmax} = 50\text{ mA}$ 、 $V_{DD} = 3.5\text{ V}$ 、 $I_{OL} = 8\text{ mA}$ 、 $V_{OL} = 0.4\text{ V}$ でロー・レベルにおいて出力を同時に最大 20 個の I/O を使用、 $I_{OL} = 20\text{ mA}$ 、 $V_{OL} = 1.3\text{ V}$ でロー・レベルにおいて出力を同時に最大 8 個の I/O を使用します。

$$P_{INTmax} = 50\text{ mA} \times 3.5\text{ V} = 175\text{ mW}$$

$$P_{IOmax} = 20 \times 8\text{ mA} \times 0.4\text{ V} + 8 \times 20\text{ mA} \times 1.3\text{ V} = 272\text{ mW}$$

これにより： $P_{INTmax} = 175\text{ mW}$ and $P_{IOmax} = 272\text{ mW}$ ：

$$P_{Dmax} = 175 + 272 = 447\text{ mW}$$

その結果： $P_{Dmax} = 464\text{ mW}$

[表 54](#) の T_{Jmax} の値を使用することにより以下のように計算できます。：

– For LQFP100、 $46\text{ }^{\circ}\text{C/W}$

$$T_{Jmax} = 82\text{ }^{\circ}\text{C} + (46\text{ }^{\circ}\text{C/W} \times 447\text{ mW}) = 82\text{ }^{\circ}\text{C} + 20.6\text{ }^{\circ}\text{C} = 102.6\text{ }^{\circ}\text{C}$$

これはサフィックス 6 バージョン パーツの範囲内になります。 $(-40 < T_J < 105\text{ }^{\circ}\text{C})$

この場合、パーツは温度範囲サフィックス 6 を注文して下さい。([表 55: 注文コード](#) を参照)

例 2：高温時のアプリケーション

同じ規則を使用して、ジャンクション温度 T が指定された範囲にある限り、低電力で高い周囲温度で動作するアプリケーションに対応することが出来ます。

以下のアプリケーションを条件とします。：

最大周囲温度 $T_{Amax} = 115\text{ }^{\circ}\text{C}$ (JESD51-2 により測定)、 $I_{DDmax} = 20\text{ mA}$ 、 $V_{DD} = 3.5\text{ V}$ 、 $I_{OL} = 8\text{ mA}$ 、 $V_{OL} = 0.4\text{ V}$ での Low レベルにおいて出力を同時に最大 20 個の I/O を使用、

$$P_{INTmax} = 20\text{ mA} \times 3.5\text{ V} = 70\text{ mW}$$

$$P_{IOmax} = 20 \times 8\text{ mA} \times 0.4\text{ V} = 64\text{ mW}$$

これにより： $P_{INTmax} = 70\text{ mW}$ and $P_{IOmax} = 64\text{ mW}$ ：

$$P_{Dmax} = 70 + 64 = 134\text{ mW}$$

その結果： $P_{Dmax} = 134\text{ mW}$

[表 54](#) の T_{Jmax} の値を使用することにより以下のように計算できます。：

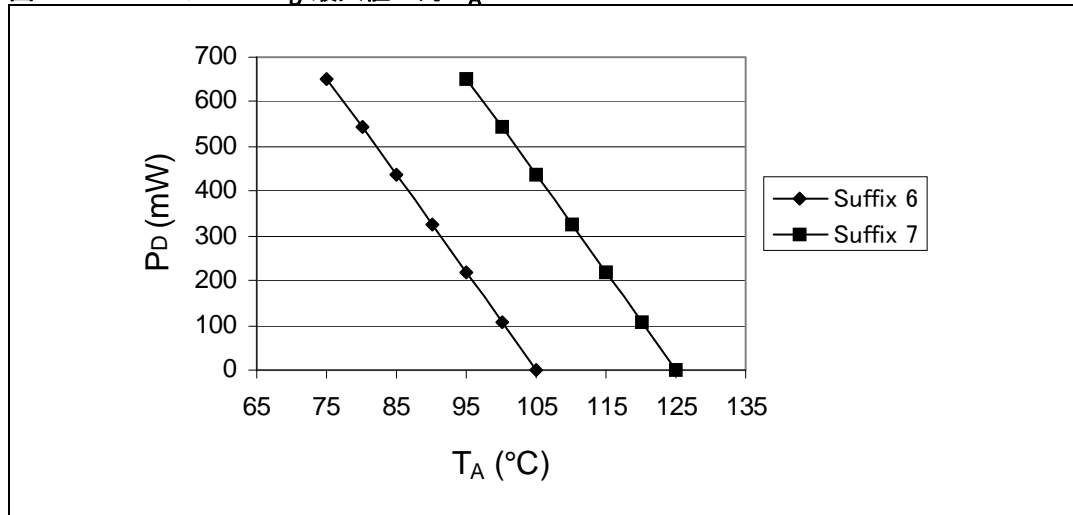
– LQFP100、 $46\text{ }^{\circ}\text{C/W}$ について

$$T_{Jmax} = 115\text{ }^{\circ}\text{C} + (46\text{ }^{\circ}\text{C/W} \times 134\text{ mW}) = 115\text{ }^{\circ}\text{C} + 6.2\text{ }^{\circ}\text{C} = 121.2\text{ }^{\circ}\text{C}$$

これはサフィックス 7 バージョン パーツの範囲内になります。 ($-40 < T_J < 125\text{ }^{\circ}\text{C}$)

この場合、パーツは温度範囲サフィックス 7 を注文注文して下さい。([表 55: 注文コード](#) を参照)

図 43. LQFP100 P_D 最大値 対 T_A



7 注文コード

表 55. 注文コード

例：	STM32	F	103	C	6	T	7	xxx
デバイス ファミリ名								
STM32 = ARM ベース 32bit マイクロコントローラ								
製品タイプ								
F = 汎用								
デバイス サブファミリ名								
103 = パフォーマンス・ライン								
ピン数								
T = 36 ピン								
C = 48 ピン								
R = 64 ピン								
V = 100 ピン								
Flash メモリサイズ								
6 = 32 Kbytes の Flash メモリ								
8 = 64 Kbytes の Flash メモリ								
B = 128 Kbytes の Flash メモリ								
パッケージ								
H = BGA								
T = LQFP								
U = VFQFPN								
温度範囲								
6 = インダストリアル温度範囲、-40 ～ +85 °C								
7 = インダストリアル温度範囲、-40 ～ +105 °C								
オプション								
xxx = プログラミング済み製品								
TR = テープ及びリール								

オプション（速度、パッケージ、その他）のリストやこのデバイスに関する詳しい情報については、お近くの ST セールスオフィスに連絡してください。

7.1 ファミリ製品の展開

STM32F103xx パフォーマンス・ラインの今後の開発は大きなメモリ・サイズを必要としないアプリケーション用により小さなサイズの Flash メモリと SRAM を内蔵したデバイスになります。

8 変更履歴

本書は、「STM32F103x6/STM32F103x8/STM32F103xB Rev 8（2008 年 7 月発行）」を日本語に翻訳したものです。次の表に本データシートの改版履歴を示します。

表 56. ドキュメント改版履歴

日付	版	変更点
2007 年 6 月 1 日	1	初版
2007 年 7 月 20 日	2	<p>注 6、注 4、注 7、注 8 の Flash メモリのサイズを変更と表 4: ピンの定義へ BGA100 ピンを追加。図 3: STM32F103xx パフォーマンス・ライン BGA100 ボール配置を追加。</p> <p>図 19: 低速外部クロック・ソース AC タイミング図の T_{HSE} を T_{LSE} へ変更。電源供給の V_{BAT} 範囲を更新。</p> <p>表 21: HSE 4 ~ 16 MHz オシレータ特性の $t_{SU(LSE)}$ を $t_{SU(HSE)}$ へ変更。表 23: HSI オシレータ特性の $I_{DD(HSI)}$ 最大値を追加。</p> <p>静電気放電 (ESD:Electrostatic discharge) のサンプル数を更新し、マシーン・モデルを削除。</p> <p>静的ラッチアップのパーツ数を更新し、標準参照を更新。表 32: 静電気感度の 25 °C と 85 °C 条件を削除及びクラス名を更新。表 33: I/O 静的特性の R_{PU} と R_{PD} 最小値と最大値を追加。表 36: NRST ピン特性の R_{PU} 最小値と最大値を追加。</p> <p>図 24: I^2C バス AC 波形と測定回路と図 23: NRST ピン保護のための推奨条件を訂正。</p> <p>表 8、表 36、表 42 の注を削除。</p> <p>表 11: Run 及び SLEEP モードの最大消費電流の I_{DD} 標準値を変更。表 37: TIMx 特性を更新。</p> <p>表 44: ADC 特性に t_{STAB}、V_{REF+} value、t_{lat}、f_{TRIG} を追加。</p> <p>表 28: Flash メモリの書き換え回数と保持期間の $T_A = 85^\circ C$ における標準書き換え回数と保持期間を追加し、$T_A = 25^\circ C$ についてのデータ保持期間を削除。</p> <p>表 11: 内部基準電圧の V_{BG} を V_{REFINT} へ変更。ドキュメントタイトルを変更。CAN (Controller area network) のセクションを更新。</p> <p>図 11: 電源供給図を更新。</p> <p>特長 (1 ページ) のリストを変更。一部の文字、文章を変更。</p>

表 56. ドキュメント改版履歴

日付	版	変更点
2007 年 10 月 18 日	3	<p>STM32F103CBT6、STM32F103T6、STM32F103T8 のパーツ名を追加 (表 2: デバイスの特徴とペリフェラル (STM32F10xxx 中容量パフォーマンス・ライン) を参照)。</p> <p>VFQFPN36 パッケージを追加 (セクション 6: パッケージ特性 を参照)。すべてパッケージは ECOPACK® 準拠を追加。すべてのパッケージ・データのインチ (inch) 値はミリメートル (mm) から変換で小数第 4 位で繰上げを追加。(セクション 6: パッケージ特性 を参照)</p> <p>表 4: ピンの定義 の更新と新たに定義。</p> <p>表 25: 低電力モード・ウェークアップ時間 を更新。</p> <p>表 11: 内部基準電圧 の T_A 最小値を訂正。</p> <p>表 21: HSE 4 ~ 16 MHz オシレータ特性 に 注 2 を追加。</p> <p>$V_{ESD(CDM)}$ の値を 表 31: ESD 絶対最大定格 に追加。</p> <p>表 34: 出力電圧特性 に 注 3 を追加と V_{OH} パラメータの詳細を更新。</p> <p>表 35: I/O AC 特性 の 注 1 を更新。</p> <p>式 1 と 表 45: $f_{ADC} = 14$ MHz の R_{AIN} 最大値 を セクション 5.3.17: 12bit ADC 特性 に追加。</p> <p>表 44: ADC 特性 に V_{AIN}、t_S 最大値、t_{CONV}、V_{REF+} 最小値、t_{lat} 最大値及び注を更新し、t_{latr} を追加。</p> <p>図 29: ADC 精度特性 更新。 図 30: ADC を使用する一般的な接続図 の 注 1 を更新。</p> <p>静電気放電 (ESD : Electrostatic discharge) (51 ページ) を更新。</p> <p>図 1: STM32F103xx パフォーマンス・ライン ブロック図 の TIM4 チャンネル数を更新。</p> <p>表 12、表 13 と 表 14 の最大消費電流の更新。 表 33: I/O 静的特性 の V_{hys} の更新。</p> <p>表 47: ADC 精度 を更新。 表 9: パワーアップ/パワーダウン時の動作条件 の t_{VDD} を更新。 V_{FESD} の値を 表 29: EMS 特性 に追加。</p> <p>表 25: 低電力モード・ウェークアップ時間 の値を修正、注 2 を更新、注 3 を削除。</p> <p>表 15: STOP 及び STANDBY モードの標準と最大消費電流 の $V_{DD}/V_{BAT} = 2.4$ V について標準値を追加、注 2 を更新</p> <p>表 21 : Standby モードの標準電流 を追加。 チップ上のペリフェラル電流 (42 ページ) を追加。</p> <p>表 23: HSI オシレータ特性 の ACC_{HSI} 値を追加。</p> <p>表 27: Flash メモリ特性 に V_{prog} を追加。</p> <p>図 8: メモリ・マップ の上位オプション・バイト・アドレスを更新。</p> <p>表 24: LSI オシレータ特性 に標準 f_{LSI} 値を追加し、ドキュメント全体の内部 RC 値を 32 から 40KHz に訂正。</p> <p>T_{S_temp} を 表 48: TS 特性 に追加。 表 28: Flash メモリの書き換え回数と保持期間 の N_{END} を修正。</p> <p>$T_{S_vrefint}$ added to 表 11: 内部基準電圧</p> <p>汎用入出力特性 (52 ページ) の未使用ピンの取り扱いを指定し、すべての I/O は CMOS と TTL 互換を明記。 図 31: 電源供給とデカップリング (VREF+ を VDDA への接続なし) を更新。</p> <p>表 26: PLL 特性 から t_{JITTER} と f_{VCO} を削除。</p> <p>付録 A: 重要事項 [81 ページ] を追加。</p> <p>図 13、図 14、図 15、図 17 を追加</p>

表 56. ドキュメント改版履歴

日付	版	変更点
2007 年 11 月 22 日	4	<p>ドキュメント・ステータスをプレミナリ・データからデータシートへ変更。</p> <p>STM32F103xx は USB 認定を追加。一部の文字と文章を変更。</p> <p>電源供給 (11 ページ) を更新。表 2: デバイスの特徴とペリフェラル (STM32F10xxx 中容量パフォーマンス・ライン) の STM32F103Tx について通信ペリフェラルの数を訂正し、LQFP パッケージの GPIO 数を訂正。</p> <p>表 4: ピンの定義の PC14 と PC15 について主機能とデフォルト・オルタネート機能を更新、注 5 を追加、再配置コラムを追加。</p> <p>表 5: 電圧特性の $V_{DD} - V_{SS}$ の定格と注 1 を更新。注 1 表 6: 電流特性の Note 1 を更新。</p> <p>表 10: 内蔵リセット及び電源制御ブロック特性のを注 1 と注 2 追加。</p> <p>表 13: RAM からのデータ・プロセス動作コードによる Run モードでの最大消費電流の 72MHz 時の I_{DD} 値を更新。</p> <p>表 14: Flash または RAM からのコード動作による SLEEP モードの最大消費電流 (37 ページ) のペリフェラル・イネーブルで 72MHz 時の I_{DD} 値を更新。</p> <p>表 15: STOP 及び STANDBY モードの標準と最大消費電流の 2.4V 時の I_{DD_VBAT} 標準値を更新し、I_{DD_VBAT} 最大値を追加。表 16 (40 ページ) と表 17 (41 ページ) に注を追加。表 18: ペリフェラル消費電流の ADC1 と ADC2 電流値と注を更新。</p> <p>表 21 と表 22 それぞれの $t_{SU(HSE)}$ と $t_{SU(LSE)}$ 条件を更新。</p> <p>表 25: 低電力モード・ウェイクアップ時間から最大値を削除。</p> <p>表 28: Flash メモリの書き換え回数と保持期間の t_{RET} 条件を更新。</p> <p>図 11: 電源供給図を訂正。</p> <p>図 16: $V_{DD} = 3.3V$ と $3.6V$ 動作時の低電力モードのレギュレータ付 STOP モード消費電流 対 温度 を追加。</p> <p>図 25: SPI タイミング図 - スレーブ・モードと $CPHA = 0$ の注を削除。図 26: SPI タイミング図 - スレーブ・モードと $CPHA = 1^{(1)}$ に注を追加。</p> <p>汎用入出力特性 (52 ページ) から未使用ピンの詳細を削除。</p> <p>表 40: SPI 特性 を更新。表 41: USB スタートアップ時間 を追加。</p> <p>表 44: ADC 特性の V_{AIN}、t_{lat} and t_{latr} を更新し、注を追加、I_{lkg} を削除。表 47: ADC 精度のテスト条件を更新と注を追加。表 45 と表 48 の注を追加。</p> <p>表 51: LQFP100、100 ピン low-profile quad flat パッケージ外形寸法データ、表 52: LQFP64、64 ピン low-profile quad flat パッケージ外形寸法データ、表 53: LQFP48、48 ピン low-profile quad flat パッケージ外形寸法データのインチの値を修正。</p> <p>表 54: 熱特性へ VFQFPN36 パッケージの θ_{JA} 値値を追加。</p> <p>セクション 7: 注文コードの注文コードを更新。</p> <p>標準消費電流 (40 ページ) の MCU 動作条件を更新。表 48: TS 特性 I2C インタフェース特性 (57 ページ) の平均傾斜と V_{25} を更新。</p> <p>A.4: ADC 入力 0 の電圧グリッチ (81 ページ) のインピーダンス値を定義。</p>

表 56. ドキュメント改版履歴

日付	版	変更点
2008 年 3 月 14 日	5	<p>図 2: クロック構成図 (18 ページ) を追加。</p> <p>表 7: 熱特性 (32 ページ) の T_J 最大値を追加。</p> <p>CRC の特徴を追加。(CRC (cyclic redundancy check) 演算ユニット (9 ページ) を参照とアドレスについては 図 8: メモリ・マップ (28 ページ) を参照)</p> <p>表 15: STOP 及び STANDBY モードの標準と最大消費電流の I_{DD} を更新。</p> <p>表 23: HSI オシレータ特性 (47 ページ) の ACC_{HSI} を更新し、注 2 を削除。</p> <p>表 27: Flash メモリ特性 (48 ページ) の P_D、T_A、T_J を追加、t_{prog} 値を更新、t_{prog} の詳細を定義。</p> <p>表 28: Flash メモリの書き換え回数と保持期間の t_{RET} を更新。</p> <p>表 36: NRST ピン特性 (55 ページ) の $V_{NF(NRST)}$ 単位を訂正。</p> <p>表 40: SPI 特性 (59 ページ) を更新。</p> <p>表 44: ADC 特性 (63 ページ) に I_{VREF} を追加。</p> <p>表 46: ADC 精度 - 限定テスト条件を追加。表 47: ADC 精度を更新。</p> <p>LQFP100 パッケージ仕様を更新 (セクション 6: パッケージ特性 (68 ページ) を参照)。</p> <p>LQFP100、LQFP 64、LQFP48、VFQFPN36 の推奨フットプリントを追加 (図 38、図 40、図 42、図 34 を参照)。</p> <p>セクション 6.2: 熱特性 (75 ページ) を更新、セクション 6.2.1 とセクション 6.2.2 を追加。</p> <p>付録 A: 重要事項 (81 ページ) 削除。</p>
2008 年 3 月 21 日	6	<p>図 8: メモリ・マップの一部の文字と文章を定義。</p> <p>表 28: Flash メモリの書き換え回数と保持期間について：</p> <ul style="list-style-type: none"> - N_{END} の全温度範囲以上のテスト - t_{RET} についてのサイクル数条件を定義 - $T_A = 55^\circ C$ の t_{RET} 最小値を更新 <p>表 48: TS 特性の V_{25}、平均傾斜、T_L を更新。</p> <p>CRC の特徴を削除。</p>
2008 年 5 月 22 日	7	<p>CRC の特徴を追加し、一部の文字と文章を変更。セクション 1: はじめにを更新。セクション 2.2: ファミリとしての完全互換を追加。</p> <p>表 15: STOP 及び STANDBY モードの標準と最大消費電流 (38 ページ) に $T_A \max = 105^\circ C$ の I_{DD} を追加。</p> <p>表 21: Standby モードの標準消費電流 (47 ページ) から I_{DD_VBAT} を削除。表 39: SCL 周波数 ($f_{PCLKI} = 36 \text{ MHz}$、$V_{DD} = 3.3 \text{ V}$) (58 ページ) に値を追加。図 25: SPI タイミング図 - スレーブ・モードと $CPHA = 0$ (60 ページ) を更新。式 1 を訂正。</p> <p>表 28: Flash メモリの書き換え回数と保持期間 (49 ページ) の $T_A = 105^\circ C$ における t_{RET} を更新。</p> <p>表 42: USB DC 電気特性 (61 ページ) に V_{USB} を追加。</p> <p>図 43: LQFP100 P_D 最大値 対 T_A (77 ページ) を更新。</p> <p>表 55: 注文コード (78 ページ) に Axx オプションを追加。</p>

表 56. ドキュメント改版履歴

日付	版	変更点
2008 年 7 月 21 日	8	<p>電源供給監視を更新し表 8: 一般的な動作条件に V_{DDA} を追加。 図 11: 電源供給図 (30 ページ) のコンデンサを変更。 セクション 5: 電氣的特性の表注を更新。 表 15: STOP 及び STANDBY モードの標準と最大消費電流を更新。 表 15: STOP 及び STANDBY モードの標準と最大消費電流 ヘー タを追加し、表 21 : Stanby モードの標準消費電流を削除。 表 19: 高速外部ユーザ・クロック特性 (43 ページ) の f_{HSE_ext} を更 新。表 26: PLL 特性 (48 ページ) の f_{PLL_IN} を更新。 表 38: f_C 特性 (57 ページ) から高速モードについて SDA と SCL の最小立下り時間を削除し、注 1 を更新。 表 40: SPI 特性 (59 ページ) と図 25: SPI タイミング図 - スレー ブ・モードと $CPHA = 0$ (60 ページ) の $t_{h(NSS)}$ を更新。 表 44: ADC 特性 (63 ページ) の C_{ADC} を更新及び 図 30: ADC を使 用する一般的な接続図を更新。 標準 T_{S_temp} の値を表 48: TS 特性 (67 ページ) から削除。 LQFP48 パッケージ仕様を更新 (表 53 と表 42 を参照)、セクショ ン 6: パッケージ特性を更新。 Axx のオプションを表 55: 注文コード (78 ページ) から削除。 一部の文字と文章を更新。</p>
2008 年 7 月	8 日本語版	「STM32F103x6/STM32F103x8/STM32F103xB Rev 8 (2008 年 7 月発行)」翻訳版発行

必ずお読み下さい：

本書記載の内容は ST 製品に関してのみ適用されるものです。STMicroelectronics NV およびその子会社（以下、ST）は、本書、本製品ならびに本書に記載されたサービスの内容を予告なく変更、修正、改定もしくは改良する権利を留保します。

すべての ST 製品は ST の販売条件に従って販売されます。

本書記載の ST 製品およびサービスの選択並びに使用については購入者が全ての責任を負うものとし、本書記載の ST 製品およびサービスの選択並びに使用に関して ST は一切の責任を負いません。

本書は、明示されているか否かに関わらず、また禁反言によるとやらずに関わらず、いかなる知的財産権の実施権を許諾するためのものではありません。本書で第三者の製品もしくはサービスに言及する場合、そのような言及は、ST が当該第三者の製品、サービスまたはそれらに含まれる知的財産権を利用する実施権を許諾したとみなすものではなく、またいかなる用法であれ当該第三者の製品、サービスまたはそれらに含まれる知的財産権の使用を保証するものではありません。

ST の販売条件に規定される場合を除き、ST は、商品性、特定目的への適合性（その他管轄の如何を問わず法律で認められる同等のもの）、若しくは特許権、著作権その他の知的財産権の侵害に関する黙示の保証を含め、ST 製品の使用または販売に関する明示または黙示の保証をすべて放棄します。

権限のある ST の代表者による書面での明示の許可がある場合を除き、ST 製品を軍事用、航空技術、宇宙用、救命用、若しくは生命維持用に用いること、または不具合若しくは誤動作により負傷または死亡事故、深刻な財産上または環境上の損害を招くおそれのある製品またはシステムへ使用することは、推奨、認可、保証されておりません。「自動車向け」として指定されていない ST 製品を自動車用に用いることは、使用者自身の責任においてなされるものとします。

本書に説明されている記述または技術的特徴とは異なる条件で ST 製品が再販された場合、本書に記載される ST 製品またはサービスについての ST による保証は直ちに失われるものとし、いかなる形であれ、ST の責任を生ぜしめること、若しくはその責任が延長されることはないものとします。

ST および ST ロゴは各国における STMicroelectronics の商標または登録商標です。

本書の情報はそれ以前に提供された全ての情報に優先します。

ST ロゴは STMicroelectronics の登録商標です。その他の名称は、それぞれの所有者に帰属します。

© 2009 STMicroelectronics – All rights reserved

STMicroelectronics group of companies

Australia – Belgium – Brazil – Canada – China – Czech Republic – Finland – France – Germany – Hong Kong – India – Israel – Italy – Japan – Malaysia – Malta – Morocco – Singapore – Spain – Sweden – Switzerland – United Kingdom – United States of America

www.st.com（英語）

www.st-japan.co.jp（日本語）